N° d'ordre : 433

THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ DE BORDEAUX I

POUR OBTENIR LE GRADE DE

DOCTEUR ÈS SCIENCES PHYSIQUES

PAR

Jean-Louis AUCOUTURIER

Contribution à l'étude de la commutation électronique logique :

Élaboration d'une famille logique de type TTL à bas niveau.

Recherche et application à cette famille, de méthodes d'étude approfondie de la sécurité de fonctionnement des circuits logiques.

Soutenue le 30 avril 1974, devant la Commission d'Examen :

MM. F. VALENTIN, Professeur ..... *Président.*

G. BOUSSEAU, Professeur .....

G. PIEL, Ingénieur E.S.E., Ingénieur en Chef à la COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE ..... *Examinateurs.*

J.P. VABRE, Maître de conférences Associé au Conservatoire National des Arts et Métiers, Ingénieur à la COMPAGNIE HONEYWELL-BULL.....

— 1974 —

Digitized by the Internet Archive
in 2026

https://archive.org/details/IA41549623_0008

N° d'ordre : 433

THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ DE BORDEAUX I

POUR OBTENIR LE GRADE DE

DOCTEUR ÈS SCIENCES PHYSIQUES

PAR

Jean-Louis AUCOUTURIER

Contribution à l'étude de la commutation électronique logique :

Élaboration d'une famille logique de type TTL à bas niveau.

Recherche et application à cette famille, de méthodes d'étude approfondie de la sécurité de fonctionnement des circuits logiques.

Soutenue le 30 avril 1974, devant la Commission d'Examen :

MM. F. VALENTIN, Professeur .... *Président.*

G. BOUSSEAU, Professeur .....

G. PIEL, Ingénieur E.S.E., Ingénieur en Chef à la COMPAGNIE INTERNATIONALE POUR L'INFORMATIQUE ..... *Examinateurs.*

J.P. VABRE, Maître de conférences Associé au Conservatoire National des Arts et Métiers, Ingénieur à la COMPAGNIE HONEYWELL-BULL.....

— 1974 —

UNIV.
LEIDEN
BIBL.

En hommage à Monsieur le Professeur F. VALENTIN
Directeur du Laboratoire d'Electronique Appliquée

au "Groupe Commutation"

Les travaux présentés dans ce mémoire ont été faits, au Laboratoire d'Electronique Appliquée de l'Université de Bordeaux 1, au sein du groupe appelé "Groupe Commutation".

Qu'il me soit permis d'exprimer ma profonde reconnaissance à Monsieur le Professeur F. VALENTIN pour la confiance qu'il m'a témoignée en me donnant la responsabilité de créer et d'animer cette équipe de recherche sur un thème dont il avait lui-même défini l'orientation lors de la création du Laboratoire et qu'il veuille bien partager avec Monsieur le Professeur G. BOUSSEAU l'expression de ma gratitude pour les conditions de travail et de collaboration qu'ils m'ont offertes.

Je remercie bien vivement Monsieur PIEL pour l'intérêt qu'il a porté à ce travail dès qu'il lui a été présenté, pour l'acceuil qu'il m'a réservé et les conseils qu'il m'a donnés à chacune de mes visites à la Compagnie Internationale pour l'Informatique et pour l'honneur qu'il m'a fait en acceptant de venir siéger à ce jury.

Qu'il veuille bien accepter aussi les remerciements que je lui adresse au nom du Groupe Commutation pour la confiance qu'il nous a accordée en nous offrant de collaborer à ses propres travaux.

A Monsieur VABRE, j'adresse aussi les remerciements de tout le groupe pour l'attention qu'il a portée à nos travaux ; qu'il sache combien l'accueil, l'intérêt et les remarques que nous avons trouvés grâce à lui auprès des spécialistes de la Compagnie Honeywell-Bull nous ont été profitables. Je tiens à exprimer ma gratitude à Monsieur VABRE pour l'amabilité avec laquelle il m'a accordé les nombreuses entrevues que nous avons eues depuis un an, pour les conseils et les encouragements qu'il m'a prodigués tant pour mon travail de recherche que pour l'enseignement que j'ai l'honneur de dispenser au Conservatoire National des Arts et Métiers.

J'ai dédié ce mémoire au groupe Commutation et je tiens à dire ici combien Jean-Paul DOM, Jean-Jacques RIVIERE et Philippe ROUX ont été étroitement associés à ce travail et que, plus qu'une collaboration professionnelle une véritable amitié s'est nouée au fil des années entre les Membres de notre équipe ; et puisque je suis amené à évoquer l'amitié je remercie Georges LACROIX, responsable du Groupe Chronométrie, conseiller et ami fidèle, dont le travail a eu pour moi valeur d'exemple.

Que les Membres du personnel du Laboratoire trouvent ici l'expression de ma gratitude pour leur aide efficace et la qualité du climat de travail qu'ils ont contribué à créer.

SOMMAIRE

INTRODUCTION

I - PREMIERE PARTIE

Pages :		
	I-1	LE CIRCUIT INVERSEUR
	I-1-1	Considérations générales
6	I-1-2	Recherche du degré de saturation optimal du transistor inverseur
6	I-1-2-1	Mise en équations d'une chaine d'inverseurs
11	I-1-2-2	Présentation des résultats
15	I-1-3	Conclusion
17	I-2	LE CIRCUIT DE PORTE
17	I-2-1	Considérations générales
19	I-2-2	Propriétés de la porte T T L, élément de liaison entre inverseurs
19	I-2-2-1	Alimentation à courant constant
20	I-2-2-2	Comportement de la porte en tant qu'élément de liaison entre inverseurs
20	I-2-2-2-a	Injection du courant I dans la base du transistor inverseur
21	I-2-2-2-b	Evacuation des charges stockées dans la base du transistor inverseur
23	I-2-2-3	Schéma équivalent du transistor de porte
26	I-2-2-4	Cas de transistors de porte multiémetteurs
26	I-2-3	Conclusion
27	I-3	CARACTERISTIQUES ELECTRIQUES EXTERNES DU MODULE T T L BAS NIVEAU
27	I-3-1	Caractéristique de transfert
32	I-3-2	Caractéristique d'entrée
33	I-3-3	Caractéristique de sortie
36	I-3-4	Liaisons entre module
38	I-3-5	Conclusion

Pages : 39 I-4 ANALYSE DU COMPORTEMENT DU MODULE LOGIQUE EN REGIME DYNAMIQUE

39 I-4-1 Détermination des formes d'onde

39 I-4-1-1 Mise en équations d'un anneau astable

42 I-4-1-2 Résolution du système d'équations

43 I-4-1-3 Détermination des conditions initiales

47 I-4-1-4 Présentation des résultats

51 I-4-2 Analyse de la commutation

51 I-4-2-1 Analyse de la mise en conduction

58 I-4-2-2 Analyse du blocage

63 I-4-2-3 Comparaison des résultats

66 I-4-3 Exploitation des résultats

66 I-4-3-1 Influence des paramètres du transistor inverseur sur le temps de traversée du module

68 I-4-3-2 Influence de la charge en sortie du module

74 I-4-3-3 Influence de la technologie de réalisation du circuit

77 I-4-4 Conclusion

78 A-1 ANNEXE DE LA PREMIERE PARTIE
MODELE DU TRANSISTOR UTILISE POUR L'ANALYSE
DES CIRCUITS DE COMMUTATION

78 A-I-1 Modèle d'Ebers et Moll

83 A-I-2 Détermination des résistances réparties d'un transistor saturé

83 A-I-2-1 Expression des tensions aux bornes des jonctions

83 A-I-2-1-1 Expression de la tension base-émetteur

84 A-I-2-1-2 Expression de la tension base-collecteur

84 A-I-2-1-3 Expression de la tension collecteur-émetteur

85 A-I-2-2 Détermination de la résistance répartie d'emetteur R_E

87 A-I-2-3 Détermination de la résistance répartie de base R_B

88 A-I-2-4 Détermination de la résistance répartie de collecteur R_C

89 A-I-3 Détermination des capacités des jonctions

89 A-I-3-1 Capacités de diffusion

90 A-I-3-2 Capacités de transition

93 Bibliographie de la première partie

II - DEUXIEME PARTIE

Pages : 96	II-1	REGLES D'INTERCONNEXION DES CIRCUITS LOGIQUES- FACTEURS DE CHARGE
96	II-1-1	Considérations générales
97	II-1-2	Facteurs de charge de l'entrée (fan in) et de la sortie (fan out) du module TTL bas niveau
97	II-1-2-1	Définitions
98	II-1-2-2	Recherche des conditions les plus défavorables
100	II-1-2-1-1	Recherche des situations donnant $\overline{I}_C$
102	II-1-2-2-2	Recherche des situations donnant $\underline{I}_B$
104	II-1-2-3	Relations entre le fan in, le fan out et les paramètres du circuit.
108	II-1-2-4	Utilisation de transistors de porte multiémetteurs intégrés
110	II-1-2-5	Exploitation des résultats
110	II-1-2-5-1	Choix des paramètres des composants
110	II-1-2-5-2	Relations entre les facteurs de charge Influence de la température
116	II-1-2-6	Conclusion
117	II-2	LE BRUIT DANS LES CIRCUITS LOGIQUES - BRUIT STATIQUE
117	II-2-1	Généralités - Définitions
118	II-2-2	Origine physique des parasites pseudo-stationnaires et des dérives.
119	II-2-3	Méthodes usuelles de détermination des immunités d'un module logique au bruit statique
119	II-2-3-1	Mesures sur les caractéristiques de transfert
121	II-2-3-2	Observation de la convergence vers un état en bout de chaîne logique.
123	II-2-4	Présentation et mise en oeuvre d'une méthode d'étude du comportement des portes logiques vis à vis du bruit cohérent.
123	II-2-4-1	Définition d'une porte idéale
124	II-2-4-2	Cas d'une porte à résistances
127	II-2-4-3	Cas de la porte T T L bas niveau
130	II-2-5	Etude des sensibilités au bruit de la porte T T L bas niveau, au niveau haut.

Pages : 131 II-2-5-1 Détermination de la sensibilité au bruit non cohérent
131 II-2-5-2 Détermination de la sensibilité au bruit cohérent
132 II-2-5-3 Comparaison entre les sensibilités au bruit cohérent et non cohérent au niveau haut.
133 II-2-6 Etude des sensibilités au bruit, au niveau bas, de la porte T T L bas niveau.
133 II-2-6-1 Sensibilité au bruit non cohérent
133 II-2-6-2 Sensibilité au bruit cohérent
134 II-2-6-3 Comparaison entre les sensibilités au bruit cohérent et non cohérent au niveau bas
135 II-2-7 Mesures et exploitation des résultats
135 II-2-7-1 Mesure des sensibilités au bruit
138 II-2-7-2 Recherche des conditions donnant la plus grande excursion logique.
139 II-2-7-3 Recherche des conditions d'égalisation des sensibilités au bruit cohérent aux niveaux haut et bas
140 II-2-8 Conclusion

141 II-3 LE BRUIT DANS LES CIRCUITS LOGIQUES - BRUIT DYNAMIQUE
141 II-3-1 Définition
141 II-3-2 Origine physique des parasites de courte durée
145 II-3-3 Méthodes usuelles de détermination des sensibilités
145 II-3-3-1 Observation de la convergence vers un état en bout de chaîne logique
146 II-3-3-2 Observation du franchissement d'un niveau
149 II-3-4 Méthode de détermination des sensibilités d'un module logique à l'énergie que lui apporte un signal parasite
149 II-3-4-1 Définitions
149 II-3-4-2 Principe, montage et processus de mesure
152 II-3-4-3 Détermination de la sensibilité au bruit au niveau haut.
159 II-3-4-5 Détermination de la sensibilité au bruit au niveau bas
164 II-3-5 Conclusion

A-II ANNEXE A LA DEUXIEME PARTIE

Pages : 165 A-II-1 Calcul des valeurs extrémales des courants

165 A-II-1-1 Calcul de $\overline{I}$ et de $\underline{I}$

166 A-II-1-2 Calcul de $\overline{I}_{Eji}$

167 A-II-1-3 Calcul de I'_{Ei}

168 A-II-1-4 Calcul de I''_{C}

170 A-II-2 Etude du partage du courant I entre les bases des transistors de porte

172 A-II-3 Sensibilité d'un module logique à l'énergie apportée par un signal parasite : mesure des grandeurs électriques

172 A-II-3-1 Recherche d'un circuit de mesure qui ne perturbe pas l'état de la chaîne

174 A-II-3-2 Mesure des grandeurs électriques

174 A-II-3-2-1 Mesure des tensions sur le montage

176 A-II-3-2-2 Premier processus de mesure : mise en court-circuit de l'entrée du dipôle

178 A-II-3-2-3 Deuxième processus de mesure : circuit ouvert en A.

179 A-II-3-3 Conclusion

180 Bibliographie de la deuxième partie.

182 CONCLUSION

———

INTRODUCTION

Le transistor est actuellement le composant le plus employé en commutation électronique logique. Il permet la réalisation de circuits aux structures variées que l'on a coutume de classer en deux catégories :

- Les circuits à commutation de tension, où le transistor fonctionne en régime bloqué-saturé.
- Les circuits à commutation de courant, où le transistor fonctionne en régime bloqué non saturé.

Il est classique d'attribuer à chacune de ces catégories des qualités et des défauts inhérents au régime de fonctionnement des transistors, à savoir que :

- Les circuits à commutation de tension présentent les avantages que sont la faible puissance dissipée au niveau du composant actif et la bonne définition des niveaux logiques qui sont pratiquement indépendants des valeurs des éléments passifs du circuit. Leur inconvénient majeur étant leur relative lenteur due au phénomène de stockage des charges dans les transistors saturés.
- Les circuits à commutation de courant présentent inversement l'avantage d'une grande rapidité et les inconvénients que sont la puissance consommée relativement importante et le fait que les niveaux logiques soient directement fonction des valeurs des éléments passifs du circuit.

Ces distinctions sont bien sûr trop tranchées et des compromis ont été réalisés. Les circuits à commutation de tension ont suivi une évolution dont les étapes successives ont été marquées par les circuits logiques à résistances et transistors (R. T. L.) ; à transistors à couplage direct (D. C. T. L.) ; à diodes et transistors (D. T. L.) et à transistors (T. T. L.).Actuellement ces circuits T T L font l'objet à eux seuls de la majeure partie du marché des circuits logiques (1).

Les circuits à commutation de courant sont développés sous la forme de la logique à transistors à émetteurs couplés (E. C. L.). Les progrès de la technologie des transistors ont permis d'obtenir des temps de traversée de couche logique inférieurs à une nanoseconde. La fonction réalisée par le module élémentaire est la fonction NI ; le circuit qui la réalise est complexe et seule l'intégration monolithique en a permis la production sous sa forme actuelle(2) . Quelques réalisations de circuits à commutation de courant ont cependant été faites en intégration hybride, c'est le cas des circuits MUR (3) et NIRAP (4) leur domaine d'utilisation est resté très spécialisé.

La solution idéale résulterait bien entendu de la conception d'un circuit qui ne conserverait que les avantages des circuits de commutation que nous venons de citer et qui n'aurait pas leurs inconvénients. Il nous a semblé possible d'approcher cette solution en conservant les avantages de la commutation de tension, donc en en conservant le principe, et en recherchant les moyens d'accroître la rapidité des circuits à transistors fonctionnant en régime bloqué-saturé.

En règle générale l'évolution des circuits s'est traduite par un accroissement de leur complexité. L'exemple des circuits E. C. L. est significatif. Nous avons cependant pensé qu'une autre ligne de conduite pouvait être suivie avec profit. En effet, on remarque que l'intégration monolithique indispensable pour des circuits complexes augmente inévitablement le nombre des éléments parasites associés aux éléments essentiels du circuit. Si au contraire on a la possibilité de travailler avec un circuit simple, comportant peu de composants actifs et passifs, d'autres modes de réalisation sont envisageables comme l'intégration hybride en couches épaisses ou en couches minces, modes de réalisation qui éliminent les éléments parasites actifs et permettent de minimiser certains éléments parasites passifs. C'est donc dans l'esprit de la recherche d'un circuit à commutation de tension rapide et simple que nous avons orienté notre travail.

La première partie de ce mémoire est consacrée à l'élaboration et à la caractérisation statique et dynamique d'un module logique répondant aux critères que nous venons d'énoncer.

Au premier chapitre on recherche le temps de traversée minimal d'un transistor inverseur en fonction de son degré de saturation, afin d'établir le schéma optimal des liaisons entre inverseurs, schéma qui conduit, au second chapitre, à la définition de la porte logique qui convient le mieux à ce mode de fonctionnement.

Des conclusions de ces deux chapitres nous déduisons un schéma de module logique de type T T L que nous appelons "à bas niveau" en raison de sa faible excursion logique.

Ce module étant défini, le premier travail consiste à en tracer les caractéristiques électriques externes qui permettent d'évaluer ses possibilités d'utilisation en tant que circuit logique; c'est l'objet du troisième chapitre de cette première partie.

Le quatrième chapitre est consacré à l'étude dynamique du module. Elle y est abordée sur le plan théorique avec le souci de dégager de l'analyse des phénomènes physiques mis en jeu à la commutation, des critères de choix des composants et de la technologie de réalisation.

La seconde partie de notre mémoire devait initialement être consacrée à l'étude de la sécurité de fonctionnement du module T T L bas niveau.

En fait l'examen des divers critères usuellement retenus pour définir les qualités des circuits logiques nous a amenés à entreprendre une étude approfondie de la sécurité de fonctionnement des circuits.

Ainsi au premier chapitre on étudie les relations existant entre les facteurs de charge des entrées et des sorties, les paramètres des composants et la température.

Le second chapitre est consacré à l'étude de l'immunité au bruit statique, que nous proposons d'étudier vis à vis du bruit qui arrive en phase sur les entrées d'un même module, bruit que nous appelons "cohérent".

Enfin le troisième chapitre traite de l'immunité au bruit dynamique que l'on caractérise par rapport à l'énergie apportée par le parasite et qui entraîne la création d'une information erronée sur une chaîne logique.

Cette seconde partie n'est donc pas spécifique, le module T T L bas niveau ne servant que de support aux exemples d'applications des méthodes générales que nous proposons pour l'étude de la sécurité de fonctionnement des circuits logiques.

I - PREMIERE PARTIE

CONCEPTION, ELABORATION ET CARACTERISATION D'UN MODULE LOGIQUE DE TYPE T T L A BAS NIVEAU

I-1 LE CIRCUIT INVERSEUR

I-1-1 Considérations générales

En suivant la ligne gérérale que nous avons définie nous recherchons un inverseur à commutation de tension aussi simple et rapide que possible.

La fréquence maximale avec laquelle un circuit logique peut traiter l'information est inversement proportionnelle au temps de traversée du module élémentaire de la technologie considérée. Ce temps de traversée est d'autant plus court que le temps de franchissement de l'excursion logique est faible et que l'inertie du module, donc le temps de retard est faible :

- Pour qu'une tension évolue entre deux niveaux le plus rapidement possible, deux conditions sont à remplir :

La première est que la pente dV/dt du signal soit grande ce qui nécessite de commuter un courant important. La détermination de la valeur de ce courant résultera d'un compromis entre le temps de traversée et la puissance consommée.

La seconde est que l'écart de tension entre les deux niveaux soit faible. Ceci nous permet de définir l'écart logique optimal pour un circuit à transistors au silicium. En effet le niveau logique bas, en fonctionnement saturé est fixé par la tension collecteur émetteur de saturation du transistor ; ce niveau est indépendant des composants passifs. Comme pour commander un transistor il faut au moins disposer d'une tension égale à la tension base-émetteur de conduction soit $V_{BEon} \simeq 0{,}7$ V, le niveau haut devra au moins être de V_{BEon} et si le transistor est saturé, ce qui est ici le cas, il sera de $V_{BEsat} \simeq 0{,}8$ V.

On remarque que, comme le niveau bas, le niveau haut présente le grand avantage d'être alors indépendant des composants passifs. L'écart minimal entre les deux niveaux logiques, c'est-à-dire l'excursion logique minimale est donc :

$$\underline{V_\ell} = V_{\underline{BE}sat} - \overline{V}_{CEsat}$$

- Pour que l'inertie du circuit à la commande soit minimale il faut diminuer les temps de retard à la mise en conduction et au blocage (5).

Le temps de mise en conduction d'un transistor est d'autant plus faible que le courant de base est grand. A courant commuté donné ceci conduit, pour un inverseur inséré dans une chaine, à préconiser un gain en courant forcé β_f unité.

Le temps de blocage d'un transistor saturé est d'autant plus faible que la quantité de charges stockées est faible et que leur évacuation est rapide. La quantité de charges stockées et d'autant plus faible que β_f est proche du gain en courant en fonctionnement normal β_n. L'évacuation est d'autant plus rapide que le courant inverse de base lors du blocage est grand. Pour cela il faut que le courant appelé par l'étage de commande soit maximal et que la résistance du circuit d'évacuation soit minimale. Ceci nous conduit à préconiser une liaison directe entre modules (Figure I-1)

Cette liaison directe de collecteur à base implique que le niveau logique haut soit V_{BEsat} ce qui correspond à l'excursion logique optimale.

Par contre en ce qui concerne β_f les conclusions de la mise en conduction et du blocage sont divergentes. Il nous faut donc rechercher la valeur de β_f qui conduit à un temps de traversée minimal et ce, dans les conditions réelles d'emploi d'un circuit logique.

Enfin d'autres critères de qualité d'un inverseur sont à prendre en considération. Par exemple, il est clair et nous aurons l'occasion d'y revenir que les brusques variations du courant appelé sur les lignes d'alimentation sont préjudiciables au bon fonctionnement d'un ensemble logique. L'inverseur idéal de ce point de vue serait un module qui fonctionnerait à courant d'alimentation constant. Nous nous efforcerons d'approcher au mieux cette situation.

I-1-2 Recherche du degré de saturation optimal du transistor inverseur.

I-1-2-1 Mise en équations d'une chaîne d'inverseurs

Afin de placer le circuit étudié dans les conditions de fonctionnement au sein d'un ensemble logique nous le considérons inséré dans une chaîne ouverte. Le schéma d'une telle chaine est représenté à la figure I-1.

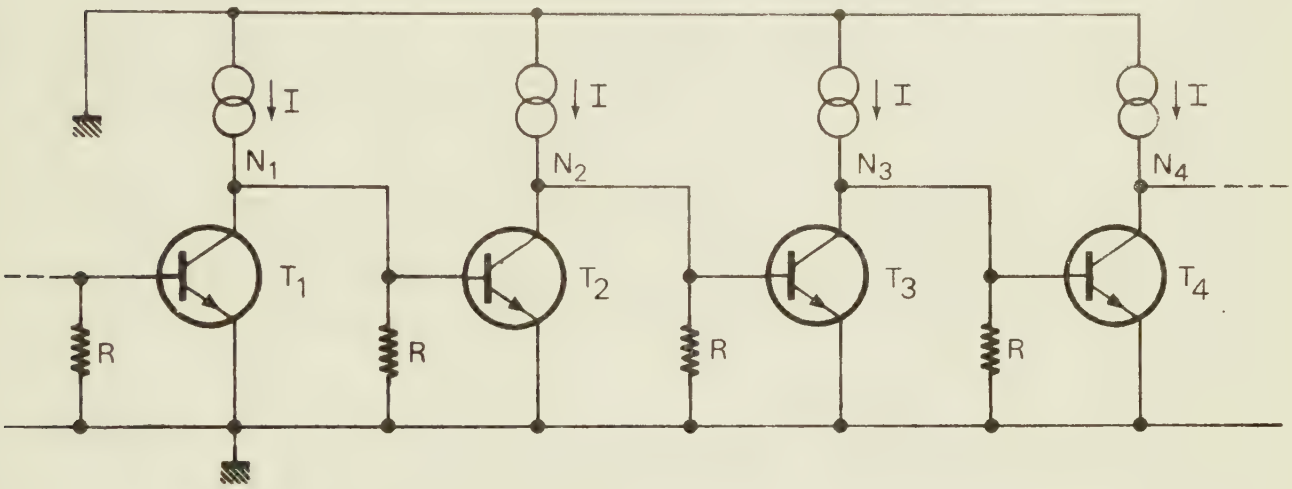


Fig. I-1

Le but de l'étude est la recherche du temps de transfert de l'information du collecteur de T_1 au collecteur de T_3. Ce temps est égal à 2θ ; θ étant le temps de traversée d'une couche logique élémentaire. Pour un type de transistor donné on recherche le gain en courant forcé β_f pour lequel θ est minimal.

Choisissons comme instant initial l'instant où T_1 vient de se bloquer et où T_2 allant du blocage vers la conduction atteint le seuil de conduction.

à $t = 0^-$

T_1 est donc bloqué
T_2 est encore bloqué
T_3 est saturé
T_4 est bloqué

Le schéma équivalent du circuit d'attaque de T_2 est représenté à la figure I-2.

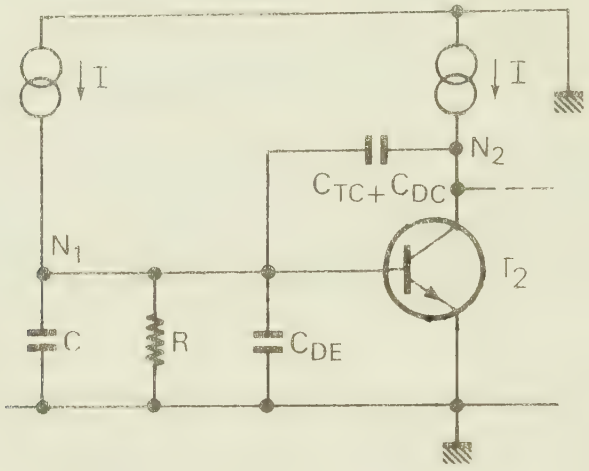


Fig. I-2

Le potentiel base-émetteur de T_1 étant fixé et imposé par la tension de saturation du transistor précédent, C représente la somme des capacités $C_{TE} + C_s + C_{TC}$ (Annexe A-I-3)

où

C_{TE} = capacité de transition base-émetteur de T_2

C_s = capacité collecteur-émetteur de T_1

C_{TC} = capacité de transition base-collecteur de T_1

Le schéma équivalent du circuit de charge de T_3 est représenté à la figure I-3. Il est valable pour toute la durée de l'étude du transfert de l'information soit jusqu'à l'instant où apparaîtra en sortie de T_3 un état semblable à l'état initial en sortie de T_1, c'est-à-dire T_4 toujours bloqué, T_3 venant de se bloquer. La capacité C est donc la même que celle qui figure sur le schéma d'entrée de T_2.

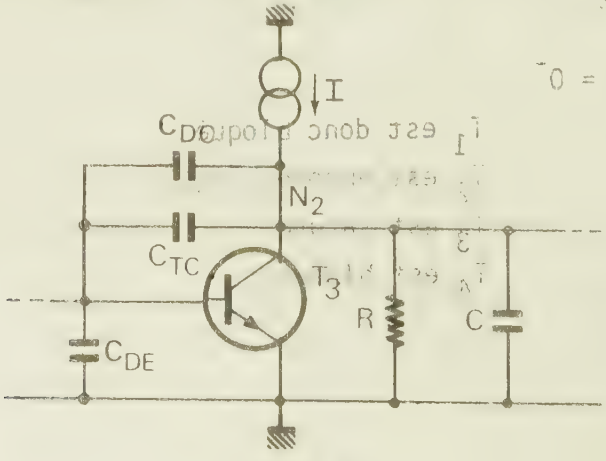


Fig I-3

Le schéma complet est représenté à la figure I-4.

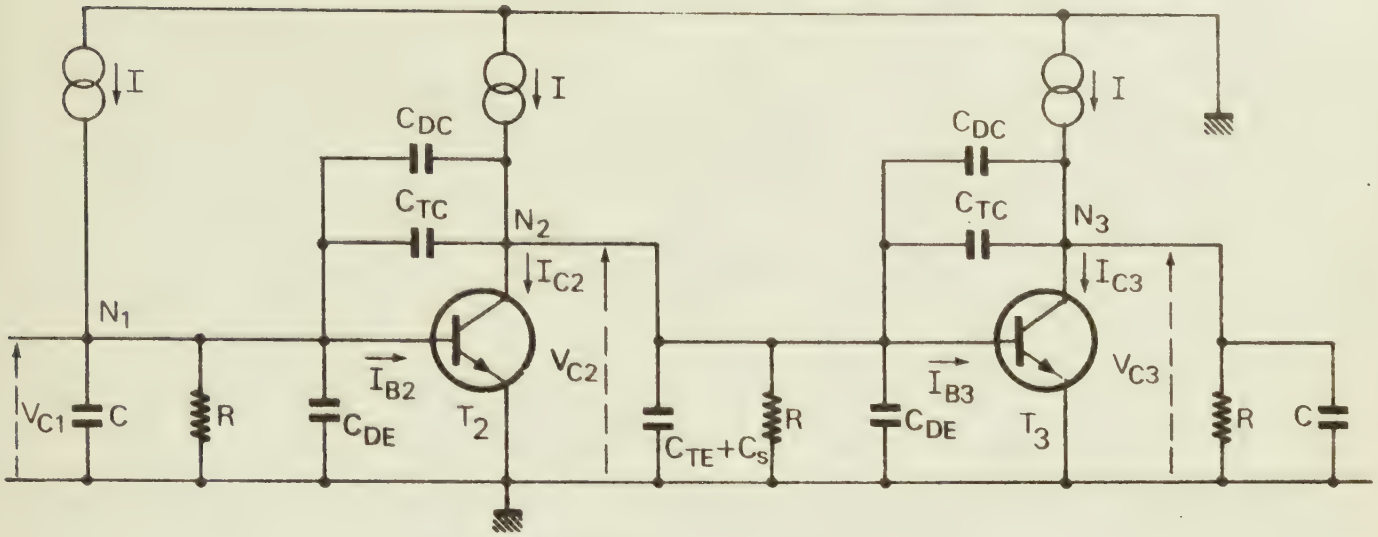


Fig.I-4

Les équations aux noeuds N_1 N_2 et N_3 s'écrivent compte tenu des expressions de C_{DE} et C_{DC} données en annexe A-I-2 :

en N_1 :

$$I = C\,\frac{dV_{C1}}{dt} + \frac{V_{C1}}{R} + \frac{\tau_n I_{Eo}}{U_T}\exp\frac{V_{C1}}{U_T}\,\frac{dV_{C1}}{dt} + I_{B2} +$$

$$+ \left(C_{TC} + \frac{\tau_i I_{Co}}{U_T}\exp\frac{V_{C1} - V_{C2}}{U_T}\right)\left(\frac{dV_{C1}}{dt} - \frac{dV_{C2}}{dt}\right)$$

en N_2 :

$$I = \left(C_{TC} + \frac{\tau_i I_{Co}}{U_T}\exp\frac{V_{C1} - V_{C2}}{U_T}\right)\left(\frac{dV_{C2}}{dt} - \frac{dV_{C1}}{dt}\right) +$$

$$+ I_{C2} + I_{B3} + \frac{V_{C2}}{R} + \left(C_{TE} + C_s + \frac{\tau_n I_{Eo}}{U_T}\exp\frac{V_{C2}}{U_T}\right)\frac{dV_{C2}}{dt} +$$

$$+ \left(C_{TC} + \frac{\tau_i I_{Co}}{U_T}\exp\frac{V_{C2} - V_{C3}}{U_T}\right)\left(\frac{dV_{C2}}{dt} - \frac{dV_{C3}}{dt}\right)$$

en N_3 :

$$I = \left(C_{TC} + \frac{\tau_i I_{Co}}{U_T}\exp\frac{V_{C2} - V_{C3}}{U_T}\right)\left(\frac{dV_{C3}}{dt} - \frac{dV_{C2}}{dt}\right) +$$

$$+ I_{C3} + \frac{V_{C3}}{R} + C\,\frac{dV_{C3}}{dt}$$

à ces trois équations il faut adjoindre les relations propres au transistor que nous prendrons sous la forme des équations (8) et (10) de l'annexe A-I-I.

$$I_C = \frac{\alpha_n I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) - I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i}$$

$$I_B = \frac{(1-\alpha_n) I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) + (1 - \alpha_i) I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i}$$

Pour obtenir $V_{C1}(t)$, $V_{C2}(t)$ et $V_{C3}(t)$ nous ferons une résolution de ce système d'équations au calculateur numérique par la méthode d'Adam (6). Pour cela il faut ordonner les équations en dV_C/dt, il vient ainsi :

$$A_{11} \frac{dV_{C1}}{dt} - A_{12} \frac{dV_{C2}}{dt} = P$$

avec :

$$A_{11} = C + C_{TC} + \tau_n \frac{I_{Eo}}{U_T} \exp \frac{V_{C1}}{U_T} + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C1} - V_{C2}}{U_T}$$

$$A_{12} = C_{TC} + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C1} - V_{C2}}{U_T}$$

$$P = I - I_{B2} - \frac{V_{C1}}{R}$$

et

$$- A_{21} \frac{dV_{C1}}{dt} + A_{22} \frac{dV_{C2}}{dt} - A_{23} \frac{dV_{C3}}{dt} = Q$$

avec

$$A_{21} = C_{TC} + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C1} - V_{C2}}{U_T}$$

$$A_{22} = \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C1} - V_{C2}}{U_T} + C_{TE} + C_S + 2 C_{TC} +$$

$$+ \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C2} - V_{C3}}{U_T} + \frac{\tau_n I_{Eo}}{U_T} \exp \frac{V_{C2}}{U_T}$$

$$A_{23} = C_{TC} + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C2} - V_{C3}}{U_T}$$

$$Q = I - I_{C2} - I_{B3} - \frac{V_{C2}}{R}$$

et $$- A_{32} \frac{dV_{C2}}{dt} + A_{33} \frac{dV_{C3}}{dt} = S$$

avec $$A_{32} = C_{TC} + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C2} - V_{C3}}{U_T}$$

$$A_{33} = C_{TC} + C + \frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{C2} - V_{C3}}{U_T}$$

$$S = I - I_{C3} - \frac{V_{C3}}{R}$$

Les déterminants du système s'écrivent :

$$\Delta = \begin{vmatrix} A_{11} & -A_{12} & 0 \\ -A_{21} & A_{22} & -A_{23} \\ 0 & -A_{32} & A_{33} \end{vmatrix} \qquad \Delta\left(\frac{dV_{C1}}{dt}\right) = \begin{vmatrix} P & -A_{12} & 0 \\ Q & A_{22} & -A_{23} \\ S & -A_{32} & A_{33} \end{vmatrix}$$

$$\Delta\left(\frac{dV_{C2}}{dt}\right) = \begin{vmatrix} A_{11} & P & 0 \\ -A_{21} & Q & -A_{23} \\ 0 & S & A_{33} \end{vmatrix} \qquad \Delta\left(\frac{dV_{C3}}{dt}\right) = \begin{vmatrix} A_{11} & -A_{12} & P \\ -A_{21} & A_{22} & Q \\ 0 & -A_{32} & S \end{vmatrix}$$

Les calculs ont été effectués sur ordinateur I. B. M. 1620 avec les valeurs numériques des paramètres précisées en annexe A.1

I-1-2-2 Présentation des résultats

On a choisi de faire apparaître la solution sous la forme des valeurs calculées de $V_{C1}(t)$, $V_{C2}(t)$ et $V_{C3}(t)$ ce qui permet de tracer les formes d'ondes donc de déterminer le temps θ de traversée de couche logique.

L'appréciation de la qualité du modèle que nous avons utilisé et l'évaluation de son domaine d'utilisation peuvent se faire en comparant les formes d'ondes calculées aux relevés expérimentaux. Nous présentons donc tout d'abord ces résultats, dans le cas d'un circuit équipé d'une résistance R de 470 Ω, à la figure I-5.

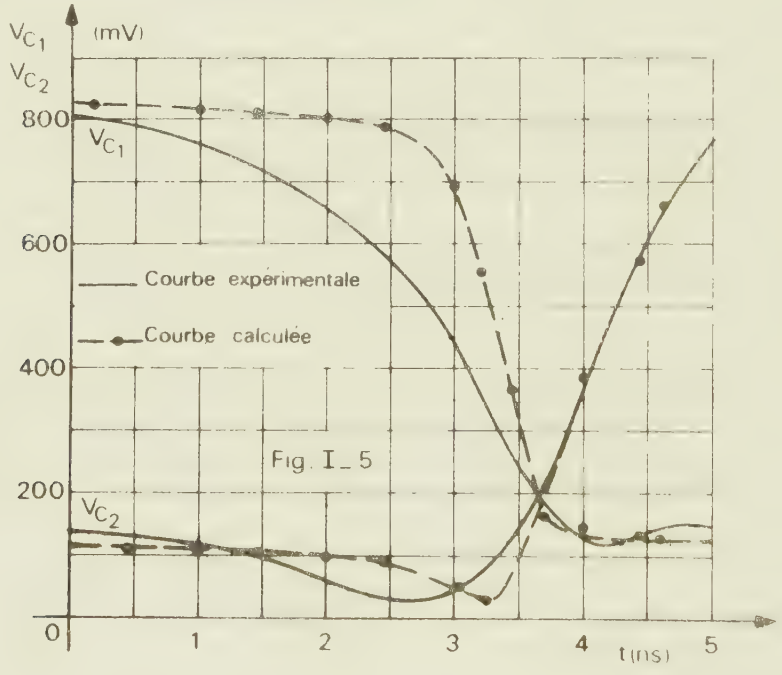


Fig. I_5

On observe la différence la plus importante entre les deux tracés lors de la décroissance de la tension de collecteur V_{C1}. L'évolution calculée apparaît plus tard et est plus franche que l'évolution réelle. Le rétrécissement du pic négatif de V_{C2} n'est qu'une conséquence de cet état de fait et n'est donc pas une anomalie en soi.

Cette discordance peut s'expliquer par le fait que nous avons utilisé un schéma équivalent du transistor qui ne prend pas en compte les résistances réparties. La seule existence de la résistance répartie

de base $R_{BB'}$ du transistor inverseur explique la différence ΔV_B qui existe entre la tension calculée et la tension mesurée. La mesure montre que le courant que l'on évacue de la base de l'inverseur peut atteindre 2 I = 10 mA. Pour un transistor de commutation, performant en régime saturé, comme le 2N 709 les constructeurs donnent aux faibles courants $R_{BB'} \simeq 20\ \Omega$. La différence ΔV_B se chiffre alors à 200 mV, ordre de grandeur de l'écart que l'on peut lire sur le graphique de la figure I-5.

On remarque cependant que cette discordance sur une portion des formes d'ondes n'altère que fort peu le calcul du temps de traversée. Dans le cas de la figure I-5 on relève un temps de traversée mesuré θ_m = 1,97 ns et un temps de traversée calculé θ_c = 2,02 ns soit une erreur tout à fait négligeable.

Le but de l'étude, rappelons le, est de trouver la valeur du gain forcé β_f des transistors inverseurs qui conduit à un temps de traversée θ minimal. Afin de se placer dans des conditions qui se prêtent le mieux à une vérification expérimentale directe nous avons choisi R comme variable plutôt que β_f. Connaissant $\theta(R)$ il sera en effet aisé de tracer ensuite $\theta\ (\beta_f)$.

Nous présentons donc les résultats sous la forme de courbes $\theta(R)$ le courant I d'alimentation de chaque module étant pris comme paramètre. (Figure I-6).

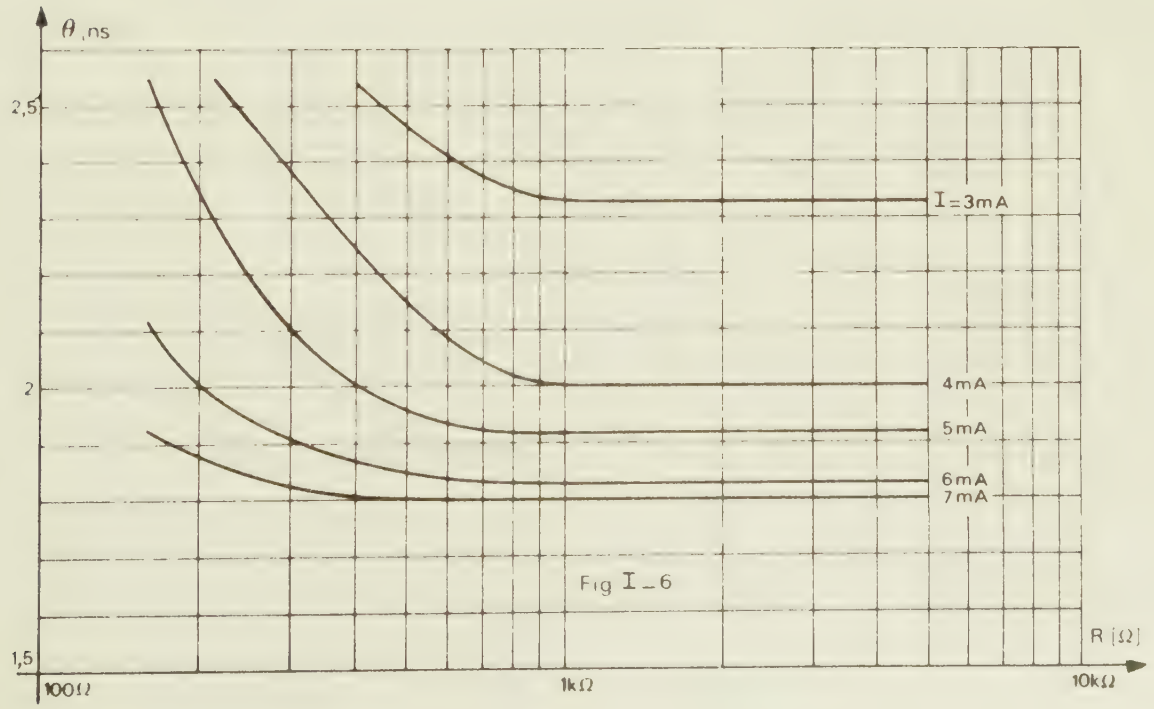


Fig I_6

L'observation de ces courbes suscite quelques remarques :

- Quelle que soit la valeur de I, θ est d'autant plus faible que R est grande. On a donc intérêt à ne pas mettre de résistance R dans le circuit.

- La présence de résistances R de l'ordre du kilo ohm n'altère cependant pas le temps de traversée et même dans la plupart des cas des résistances de l'ordre de 500 Ω sont parfaitement admissibles. Cette conclusion pourra être mise en pratique avec profit notamment lors de la mesure avec des sondes d'oscilloscope à échantillonnage.

A partir des résultats que nous venons de présenter nous avons la possibilité de tracer $\theta(\beta_f)$ sachant que (Figure I-1) :

$$\beta_f = \frac{I}{I - \frac{V_{BEsat}}{R}}$$

et que pour un transistor inverseur de rang n :

$$V_{BE(n)} = V_{CE(n-1)}$$

Le réseau $\theta(\beta_f)$ pour diverses valeurs de R est tracé à la figure I-7.

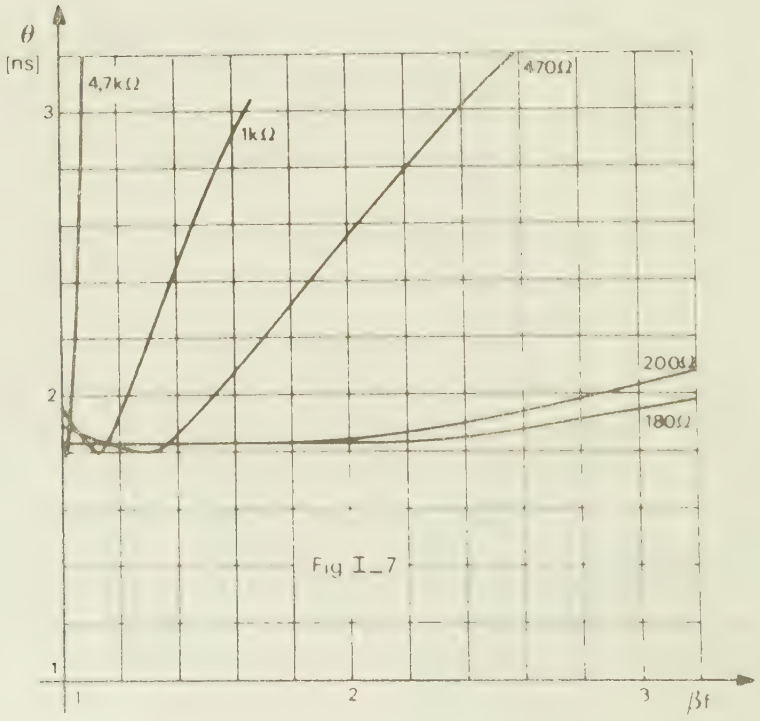


Fig I_7

On remarque que le temps de traversée minimal est obtenu pour des valeurs de β_f comprises entre 1 et 1,3.

Enfin il est intéressant d'observer l'évolution du temps de traversée en fonction du courant I d'alimentation du module. Pour cela on a tracé les courbes $\theta(I)$ avec R comme paramètre à la figure I-8.

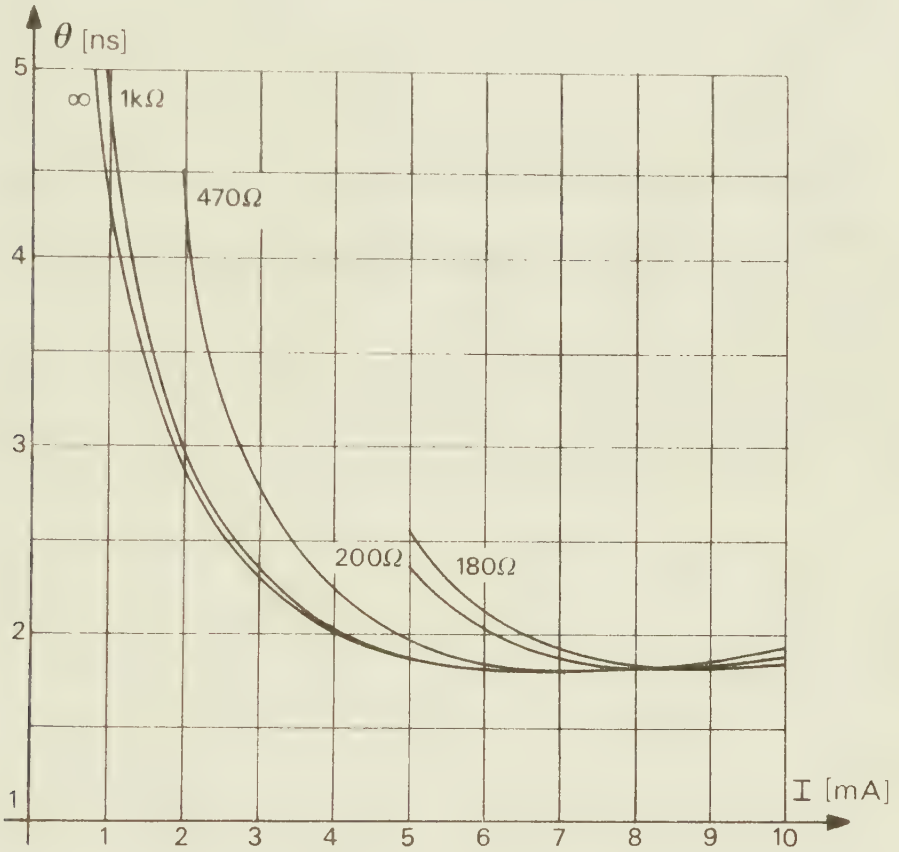


Fig. I_8

On notera que le temps de traversée minimal est atteint dès que $I \geq 6$ mA pour $R \geq 1$ kΩ.

Le courant I étant fourni à partir d'une source de tension que nous prendrons égale à 5 V pour des raisons de normalisation il est simple de tracer la courbe $\theta(P)$ où P est la puissance dissipée par module. A la figure I-9 nous avons représenté la courbe $\theta(P)$ pour R = 1 kΩ ainsi que la courbe calculée.

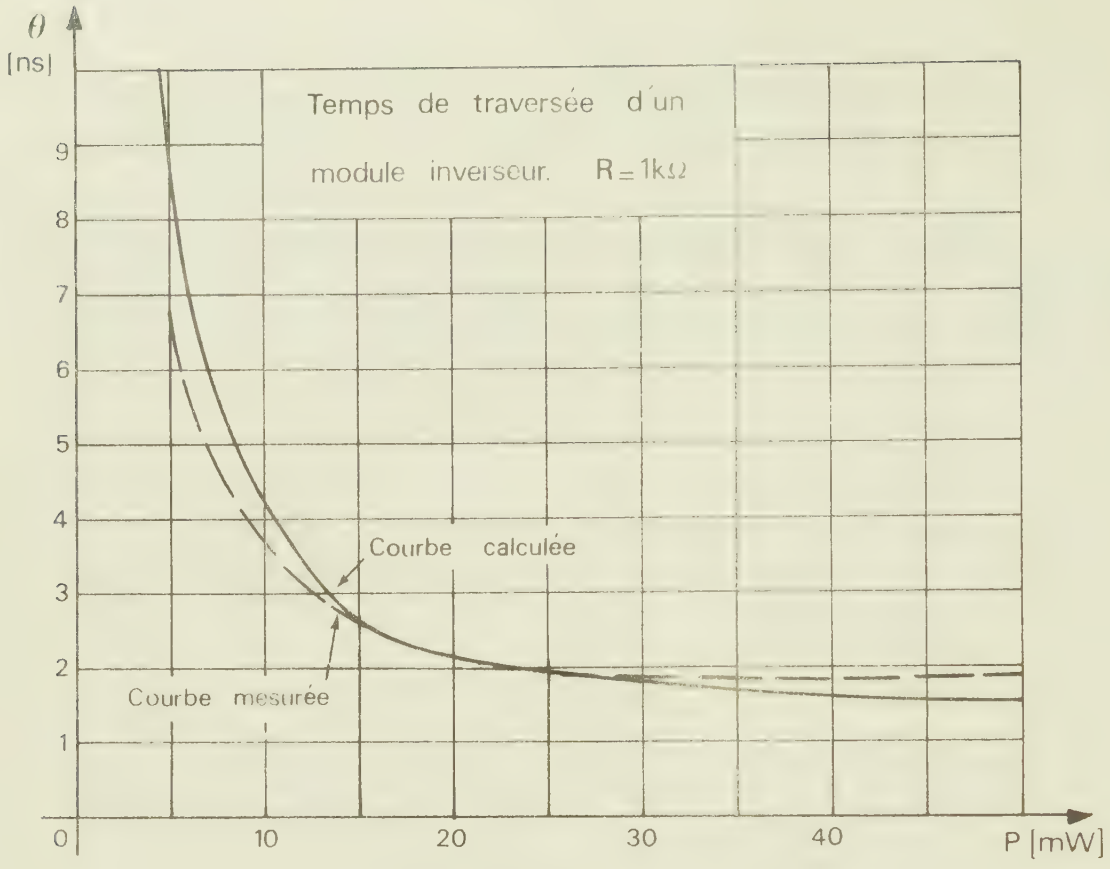


Fig. I_9

On notera la bonne concordance des résultats autour de P = 25 mW soit pour I = 5 mA ce qui est normal puisque les valeurs des paramètres des composants introduites dans le calcul ont été mesurées pour cette valeur du courant d'alimentation.

On remarquera aussi que pour I > 5 mA la diminution de θ est tout à fait négligeable ce qui conduit à travailler à I = 5 mA pour avoir le temps de traversée minimal à puissance dissipée minimale.

I-1-3 Conclusion

Les résultats que nous venons de présenter montrent qu'à partir d'un schéma équivalent du transistor relativement simple on peut calculer avec une bonne précision le temps de traversée de couche logique.

Ceci n'est possible qu'à condition d'avoir un moyen de déterminer au préalable le domaine de courant dans lequel le composant va travailler ce qui permet d'y évaluer les valeurs moyennes de ses paramètres.

Pour un problème spécifique comme celui que nous avons abordé la mesure apporte les renseignements indispensables (Annexe A-I-3).

On a montré cependant que, sans compliquer exagérément le modèle, l'introduction des résistances réparties permettrait d'améliorer la précision du calcul des formes d'ondes (Annexe A-I-2).

Enfin, quant à la structure du circuit, les résultats permettent de conclure que la plus grande rapidité est obtenue lorsque une liaison directe entre inverseurs est établie et que le gain forcé du transistor inverseur à la saturation est voisin de l'unité.

Il faut cependant noter que les conclusions auxquelles nous sommes arrivés sont valables pour des circuits équipés de transistors inverseurs destinés au fonctionnement en régime bloqué-saturé comme le 2N 709 par exemple. Ces transistors présentent la particularité d'avoir une fréquence de transition F_T relativement modeste et une faible durée de vie des porteurs minoritaires en fonctionnement inversé. Nous avons été guidés pour leur choix par les résultats des études comparatives expérimentales faites au laboratoire (6) (7) (8) (9).

I-2 LE CIRCUIT DE PORTE

I-2-1 Considérations générales

Certains circuits de porte présentent des inconvénients notoires, nous les avons écartés a priori. C'est le cas des portes à résistances et des portes à transistors à couplage direct.

Les portes à diodes présentent par contre un fonctionnement intéressant de par la non linéarité de la caractéristique courant tension du composant.

Ainsi le circuit D T L est constitué d'une porte ET à diodes associée à un inverseur à transistor (figure I-10)

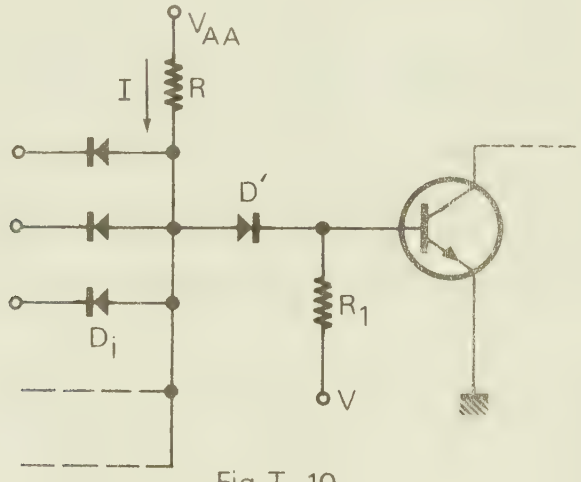


Fig. I_10

La nécessité de la diode de décalage de niveau D' est évidente. Elle est maintenue conductrice par le générateur auxiliaire R_1,V; mais cette diode D' se présente en sens inverse pour le courant d'évacuation des charges stockées dans le transistor, elle s'oppose à une désaturation énergique donc à un fonctionnement rapide.

Représentons le circuit de polarisation de D' non plus par R_1 et V mais par un générateur de courant I_p en parallèle sur la diode (Figure I-11).

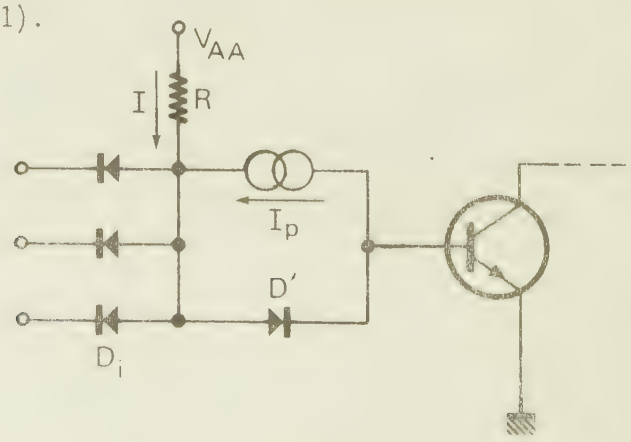


Fig. I_11

On remarque que le schéma de l'une quelconque des diodes de porte D_i associée à D' et à son générateur de courant de polarisation I_p est identique au schéma d'un transistor saturé dont la jonction base-collecteur serait la diode D' parcourue par I_p. Celà conduit à réaliser le circuit de porte et le circuit de décalage de niveau avec des transistors à raison d'un transistor par entrée (Figure I-12-a)

On remarque que pour ces transistors les connexions de base et de collecteur sont communes. La porte peut donc être réalisée avec un seul transistor ayant une base, un collecteur et autant d'émetteurs que d'entrées (Figure I-12-b).

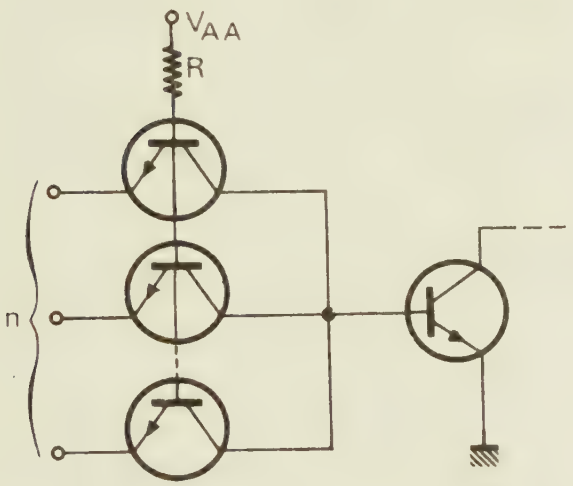


Fig. I_12a

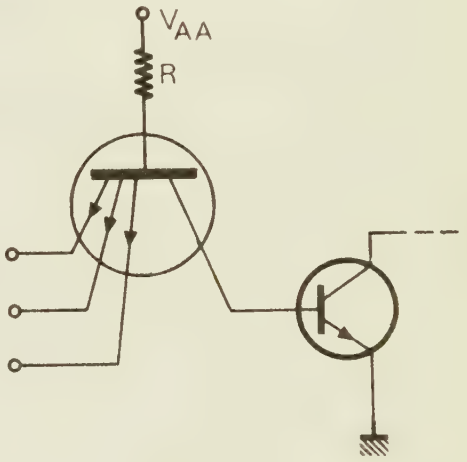


Fig. I_12b

Les procédés d'intégration actuels permettent de réaliser des transistors multiémetteurs à quatre émetteurs dont un exemple est représenté à la figure I-13.

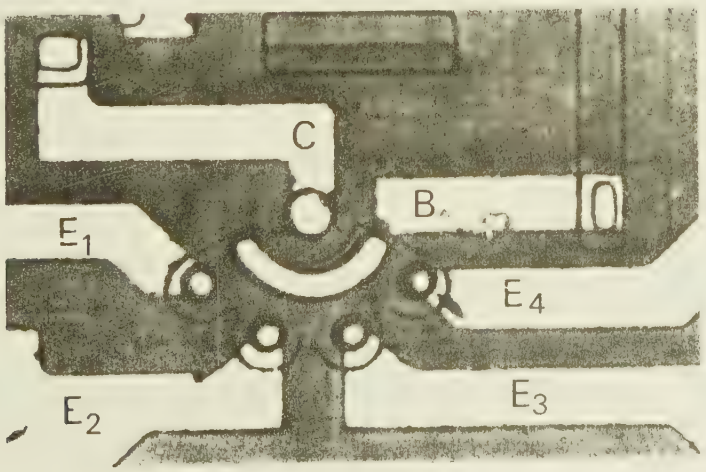


Fig. I_13

Le passage de la porte à diodes à la porte à transistors présente l'avantage supplémentaire de minimiser les capacités parasites (10). En effet la capacité parasite du groupe des diodes d'entrée est diminuée par l'utilisation de la structure à connexion unique de base et de collecteur. Il en est de même pour la capacité de la diode D' qui disparaît puisqu'on la remplace par la diode base collecteur. Enfin la possibilité d'éliminer le générateur de polarisation R_1 V entraine la disparition de la capacité parasite associée à la résistance R_1. Le circuit de porte T T L qui est particulièrement simple est de ce fait l'un des meilleurs du point de vue des capacités parasites.

I-2-2 Propriétés de la porte T T L élément de liaison entre inverseurs.

L'association de la porte T T L et de l'inverseur défini au chapitre précédent conduit au schéma du module T T L bas niveau représenté à la figure I-14.

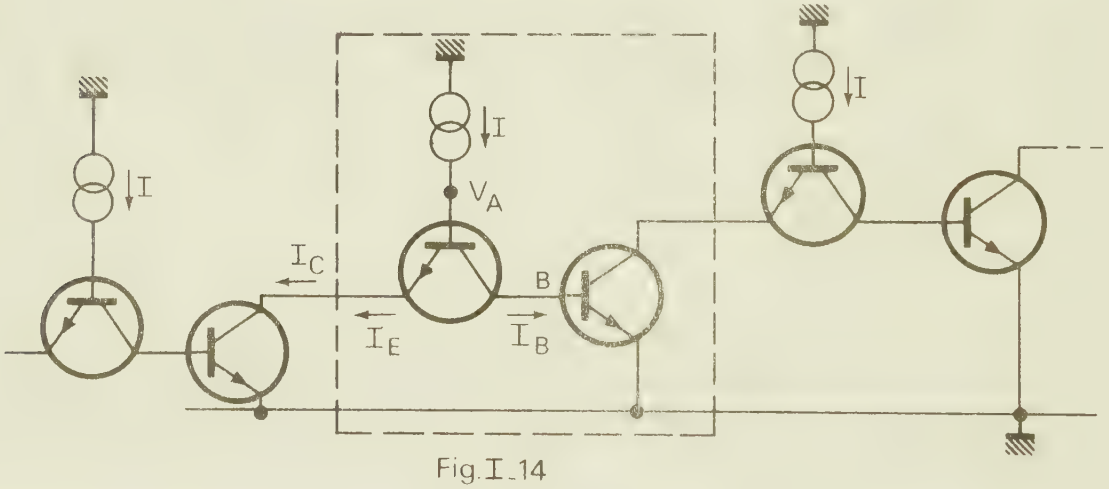


Fig.I-14

La porte et l'inverseur ayant été définis séparément nous allons étudier leur influence réciproque lorsqu'il sont interconnectés.

I-2-2-1 Alimentation à courant constant

L'étude de l'inverseur a été faite en supposant constant le courant d'alimentation I, celui-ci est absorbé soit par la base du transistor inverseur du module étudié : $I = I_B$, soit par la sortie du module précédent $I = I_C$. Dans ces conditions le potentiel de base du transistor

de porte évolue de $(V_{CEsat} + V_{BEsat})$ à$(V_{BE} + V_{BC})_{sat}$ soit entre 0,9 V et 1,5V avec des transistors au silicium.

La façon la plus simple de réaliser un générateur de courant est d'associer une résistance R à une source de tension V_{AA} (Figure I-15)

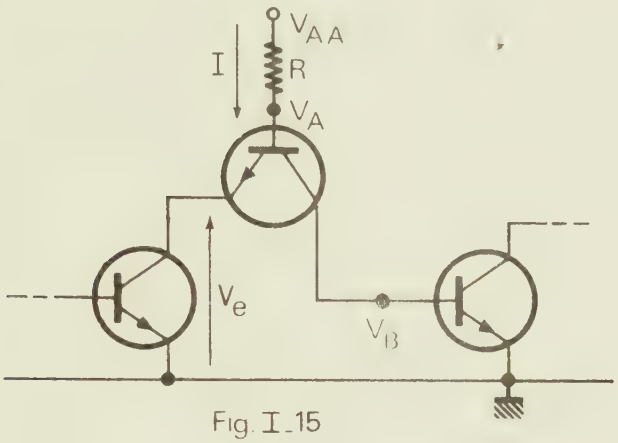


Fig. I-15

Si nous alimentons le module à partir de V_{AA} = + 5V, tension normalisée pour les circuits logiques, le courant I variera de 15 % selon l'état logique du module. C'est là un compromis, entre la puissance dissipée et la constance du courant appelé, qui semble acceptable. Nous prendrons I = 5 mA valeur qui découle de l'étude dynamique du circuit et qui correspond à une puissance dissipée par la porte de 25 mW (11) .

I-2-2-2 Comportement de la porte en tant qu'élément de liaison entre inverseurs.

Nous avons montré l'intérêt d'une liaison directe entre inverseurs. La présence du circuit de porte dans la liaison introduit une résistance que nous allons évaluer d'une part lors de l'injection du courant I dans la base du transistor inverseur ; d'autre part lors de l'évacuation des charges stockées dans la base de ce même inverseur.

I-2-2-2-a Injection du courant I dans la base du transistor inverseur.

Lors du passage de la tension d'entrée de la porte V_e du niveau bas au niveau haut le courant I qui initialement passait dans la jonction base émetteur du transistor de porte passe dans sa jonction base collecteur. La résistance de cette jonction apparaît donc dans la liaison entre les points A et B (Fig. I-15) Evaluons la variation de tension aux bornes de cette jonction entre ces deux situations.

L'équation A-I-14 de l'annexe s'écrit :

$$V_{BC} = V_{BC_o} + U_T \text{ Log } \frac{I_C}{\beta_{np} + 1} - R_C I_E$$

Lorsque l'entree est au niveau bas $I_C = 0$ et $I_E = I$

$$V_{BC}(B) = V_{BC_o} + U_T \text{ Log } \frac{\beta_{np}}{1 + \beta_{np}} - R_C I$$

Lorsque l'entrée est au niveau haut $I_E = 0$ et $I_C = -I$

$$V_{BC}(H) = V_{BC_o}$$

d'où

$$\Delta V_{BC} = V_{BC}(H) - V_{BC}(B) = R_C I + U_T \text{ Log } (1 + \frac{1}{\beta_{np}})$$

Si $\beta_{np} >> 1$

$$\Delta V_{BC} = R_C I + \frac{U_T}{\beta_{np}}$$

Compte tenu des valeurs numériques précisées en annexe A-I-2 on trouve $\Delta V_{BC} = 1{,}5$ mV pour un transistor de porte discret. Cette variation de tension peut être négligée devant la tension aux bornes de R qui est au moins égale à 3,5 V.

I-2-2-2-b Evacuation des charges stockées dans la base du transistor inverseur.

Lors du passage de la tension d'entrée de la porte du niveau haut au niveau bas le courant I qui passait dans la jonction base-collecteur passe dans la jonction base-émetteur. Le transistor de porte se trouve branché entre collecteur et émetteur dans la liaison entre les deux inverseurs. Il est donc parcouru par le courant qui évacue les charges stokées dans la base du transistor inverseur.

Le courant de base I du transistor de porte reste constant, les charges accumulées dans sa base lorsqu'il conduit $I = -I_C$ restent présentes lorsqu'il conduit $I = I_E$ (12). Le transistor de porte reste saturé;on a en effet montré au paragraphe précédent que V_{BC} restait constante. Les charges stockées dans la base de l'inverseur sont donc appelées par l'inverseur précédent à travers le transistor de porte qui reste saturé. Le trajet du point de fonctionnement du transistor de porte dans le réseau $I_C = f(V_{CE})$ est représenté à la figure I-16.

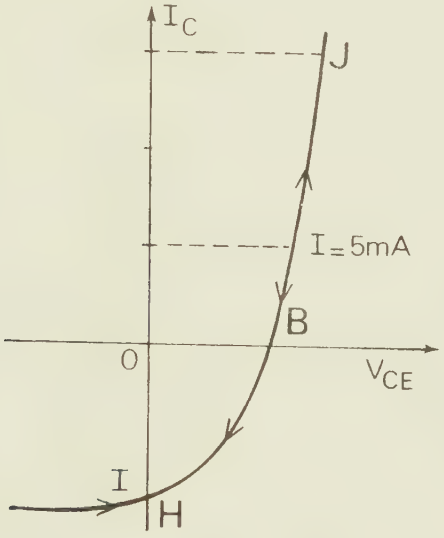


Fig. I-16

Les points correspondants aux niveaux bas et haut de l'entrée sont respectivement repérés B et H. Pour une transition de l'entrée du niveau bas au niveau haut le point de fonctionnement décrit B H ; pour une transition du niveau haut au niveau bas il décrit H B J B. On remarque que si le courant I_C correspondant à l'évacuation des charges stockées peut être suffisamment grand, le transistor de porte peut se désaturer. L'étude du régime dynamique montrera que cela ne se produit pas en pratique.

Evaluons la résistance introduite par le transistor de porte :

L'équation A-I-15 de l'annexe 2 s'écrit :

$$V_{CE} = R_C\, I + (R_E + R_C)\, I_C + U_T \operatorname{Log} \frac{\beta_{np}}{\beta_{ip}} \frac{1 + \beta_{ip} + \frac{I_C}{I}}{\beta_{np} - \frac{I_C}{I}}$$

$$\frac{dV_{CE}}{dI_C} = R_E + R_C + U_T \left(\frac{1}{I_C + (1 + \beta_{ip}) I} + \frac{1}{\beta_{np} I - I_C} \right)$$

Dans la zone de saturation I_C reste très inférieur à $\beta_{np} I \simeq 250$ mA.

d'où

$$\frac{dV_{CE}}{dI_C} \simeq R_E + R_C + \frac{U_T}{I_C + (1 + \beta_{ip}) I}$$

I-2-2-3 Schéma équivalent du transistor de porte

Pour prendre en compte le transistor de porte dans les calculs que nous aurons à faire nous recherchons un schéma équivalent que nous simplifierons autant que possible compte tenu des conditions particulières de fonctionnement de ce transistor (13)

Le transistor de porte restant toujours dans le domaine de la saturation on négligera les capacités de jonctions étant donné les faibles variations de tension à leurs bornes et les valeurs des résistances correspondantes.

Nous avons montré que la tension base-collecteur reste pratiquement constante sur une large plage de variation de I_C ce qui permet de représenter l'espace base-collecteur par le schéma équivalent de la figure I-17.

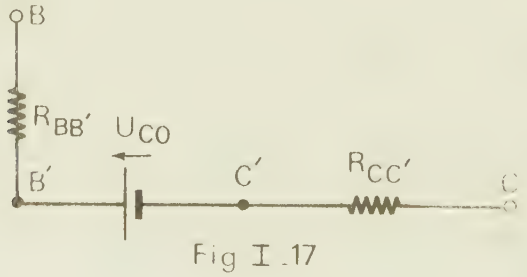


Fig I .17

où pour un transistor de porte 2N 3607 :

$$R_{CC'} \simeq 0{,}1\ \Omega$$

$$R_{BB'} \simeq 3\Omega \quad \text{pour } I = 5\ mA$$

$$U_{Co} \simeq U_T \text{ Log } \frac{1}{I_{Co}}$$

Entre B' et E' l'équation A-I-5 s'écrit

$$V_{B'E'} = U_T \text{ Log } \frac{I + (1 - \alpha_{ip})\ I_C}{I_{Eo}}$$

$$V_{B'E'} = U_T \text{ Log } \frac{I}{I_{Eo}} + U_T \text{ Log } \left[1 + (1 - \alpha_{ip})\ \frac{I_C}{I}\right]$$

On pose

$U_T \text{ Log } \frac{I}{I_{Eo}} = U_{Eo}$ et l'on cherche un schéma équivalent sous la forme d'un circuit linéaire qui, parcouru par le courant I_E, présente à ses bornes une tension voisine de $U_T \text{ Log } (1 + (1 - \alpha_{ip})\ I_C/I)$ sur la plage de variations de I_C , I_C variant de -I à k I.

L'évaluation de k par la mesure donne $0 < k < 2$

Dans ces conditions on trace la courbe

$U_T \text{ Log } (1 + (1 - \alpha_{ip})\ \frac{I_C}{I}) = f(I_c)$ qui est déduite de la courbe de la figure I-16 par translation (Figure I-18)

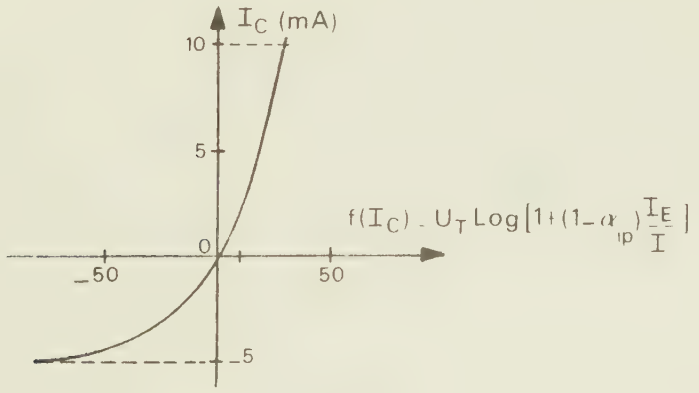


Fig I-18

Lors des calculs des transferts de charges au travers du transistor de porte on remarque que la zone de fonctionnement la plus importante se situe sur la courbe autour de l'origine (zone d'inversion de I_C) et dans la région où I_C est positif.

Dans la zone où I_C est négatif et voisin de -I le circuit est pratiquement en régime statique le transistor inverseur amont étant bloqué. C'est pourquoi on s'attache à établir un schéma équivalent qui représente bien le fonctionnement du transistor pour I_C compris entre $-\frac{I}{2}$ et 2 I.

Si l'on souhaite réduire le circuit équivalent à une résistance la droite représentative dans le réseau (I_C) doit passer par l'origine. La valeur la plus simple et qui présente l'avantage d'être indépendante de k est celle qui correspond à la tangente à l'origine soit :

$$R_{B'E'} \simeq \frac{dV_{CE}}{dI_C} \simeq \frac{U_T}{I(1 + \beta_{ip})}$$

Si β_i est faible ce qui sera établi par la suite

$$R_{B'E'} \simeq 5\ \Omega$$

Le schéma équivalent du transistor de porte se présente dans ces conditions sous la forme du schéma de la figure I-19 avec pour un transistor 2N 3607.

$R_{BB'} = 3\Omega$; $R_{CC'} = 0{,}1\Omega$; $R_{EE'} = 1\Omega$

$R_{B'E'} = 5\Omega$; $U_{Eo} = 706$ mV; $U_{Co} = 588$ mV

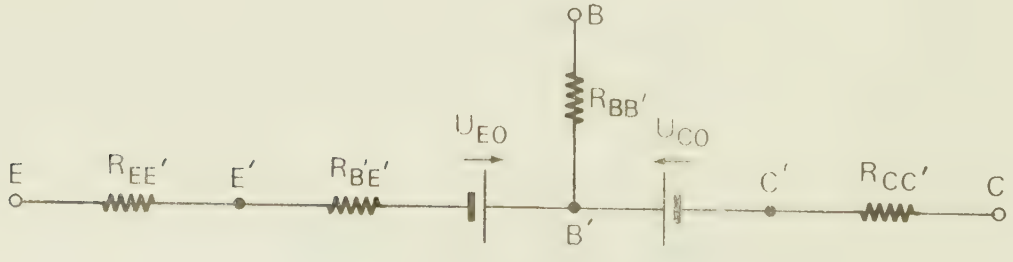


Fig. I_19

I-2-2-4 Cas de transistors de porte multiémetteurs

Dans le cas où la porte est réalisée avec un transistor multiémetteur certaines propriétés du module T T L sont affectées.

La raison essentielle est la présence de la résistance de collecteur du transistor de porte saturé. Cette résistance R_C est en effet de l'ordre de 15 Ω pour un transistor multiémetteur (14) alors qu'elle n'est que de 0,1 Ω pour un transistor discret. Cette différence de valeur de R_C est due à la présence du substrat qui nécessite la prise de la connexion de collecteur en surface du circuit.

L'influence de R_C sur la constance du courant d'alimentation est négligeable de même que sur l'injection du courant de base de l'inverseur car elle s'ajoute simplement à la résistance R.

Par contre la présence de R_C altère la qualité du circuit de désaturation de l'inverseur, la résistance en série dans ce circuit passant de 6 Ω à 20 Ω environ.

I-2-3 Conclusion

L'étude de l'inverseur faite en I-1 nous a permis d' établir les conditions de fonctionnement optimal. Elles se traduisent au niveau du circuit par l'absence de résistance de fuite de base et l'existence d'une liaison directe entre inverseurs.

La porte T T L, nous venons de le montrer, remplit au mieux ces conditions de par sa structure et du fait que le transistor de porte ne quitte pas le domaine de saturation, introduisant ainsi une résistance série qui ne dépasse en aucun cas 10 Ω pour un transistor discret et 30Ω pour un multiémetteur intégré. Enfin il convient de noter que même dans le cas du circuit d'alimentation le plus simple la porte T T L assure pratiquement la constance du courant appelé.

I-C CARACTERISTIQUES ELECTRIQUES EXTERNES DU MODULE T T L BAS NIVEAU

La connaissance des caractéristiques électriques externes d'un module logique est essentielle pour l'utilisateur. Nous allons en faire la détermination approchée en négligeant les résistances réparties et en supposant constant le courant d'alimentation du module. Nous présenterons aussi les relevés expérimentaux de ces caractéristiques.

1-3-1 Caractéristique de transfert

Le module étudié (T_1, T_2) est chargé par s modules équipés chacun de transistors (T_3, T_4) supposés identiques. Afin de s'affranchir des conditions de charge des transistors de type T_4 on a choisi de se placer dans le cas où les connexions de collecteur sont ouvertes ce qui aura pour effet de donner au niveau haut en sortie de T_2 la valeur minimale (Figure I-20)

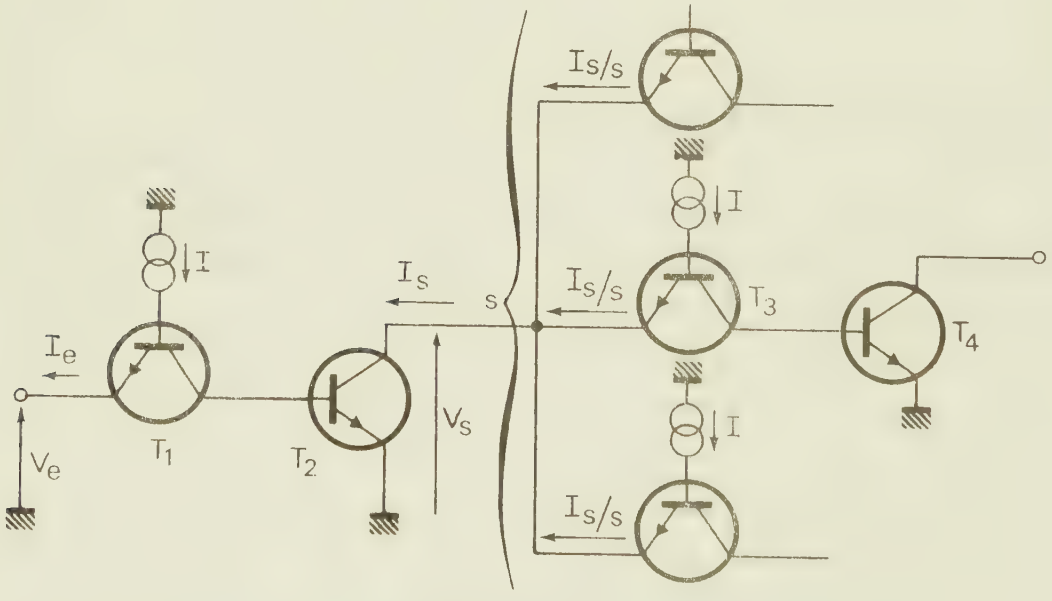


Fig. I_20

Dans le cas d'un transistor de porte la relation A-I-7 s'écrit en remarquant que I_{Eo}, I_{Co} et I_e/β_{np} sont négligeables devant I de même que $1/\beta_n$ devant 1 :

$$V_{CE} = U_T \, \mathrm{Log} \, \frac{I + \dfrac{I_e}{\beta_{ip}}}{I}$$

Dans le cas des transistors T_1 et T_3, en supposant ces transistors identiques, cette expression s'écrit :

$$V_{CE1} = U_T \text{ Log } \frac{I + \frac{I_e}{\beta_{ip}}}{I}$$

$$V_{CE3} = U_T \text{ Log } \frac{I + \frac{I_s}{s\beta_{ip}}}{I}$$

La tension de sortie peut s'exprimer sous la forme :

$$V_s = V_{BE4} - V_{CE3}$$

où compte tenu du fait que le courant I_{C4} de collecteur de l'inverseur T_4 est nul l'expression A-I-5 s'écrit :

$$V_{BE4} = U_T \text{ Log } \frac{I - \frac{I_s}{s} + I_{Eo}}{I_{Eo}}$$

d'où :

$$V_s = U_T \text{ Log } \frac{I - \frac{I_s}{s} + I_{Eo}}{I_{Eo}} \cdot \frac{I}{I + \frac{I_s}{s\beta_{ip}}}$$

On en déduit :

$$I_s = s \frac{I + I_{Eo}\left(1 - \exp \frac{V_s}{U_T}\right)}{1 + \frac{I_{Eo}}{\beta_{ip} I} \exp \frac{V_s}{U_T}} \qquad (I\text{-}1)$$

On remarque d'autre part que $v_s = V_{CE2}$

Compte tenu de la relation A-I-7 et sachant que pour T_2 :

$$I_{E2} = I - I_e + I_s$$

$$I_{C2} = I_s$$

Il vient :

$$V_s = U_T \text{ Log } \frac{\alpha_n}{\alpha_i} \frac{I - I_e + I_s - \alpha_i I_s + I_{Eo}}{\alpha_n (I - I_e + I_s) - I_s + I_{Co}}$$

On en déduit compte tenu de la relation A-I-3

$$I - I_e = \frac{\left(1 - \alpha_i - \frac{\alpha_i}{\alpha_n}(\alpha_n - 1) \exp \frac{V_s}{U_T}\right) I_s + I_{Eo}\left(1 - \exp \frac{V_s}{U_T}\right)}{\alpha_i \exp \frac{V_s}{U_T} - 1} \quad (I\text{-}2)$$

Enfin on peut exprimer V_e sous la forme :

$$V_e = V_{BE2} - V_{CE1}$$

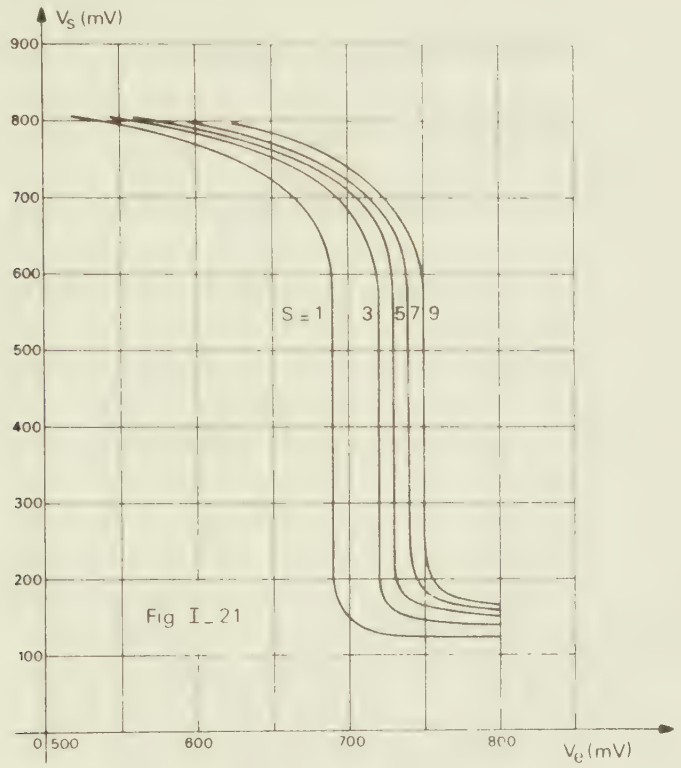
ce qui s'écrit compte tenu de l'équation A-I-1-5

$$V_e = U_T \text{ Log } \frac{I - I_e + (1 - \alpha_i) I_s + I_{Eo}}{I_{Eo}} \frac{I}{I + \frac{Ie}{\beta_{ip}}} \quad (I\text{-}3)$$

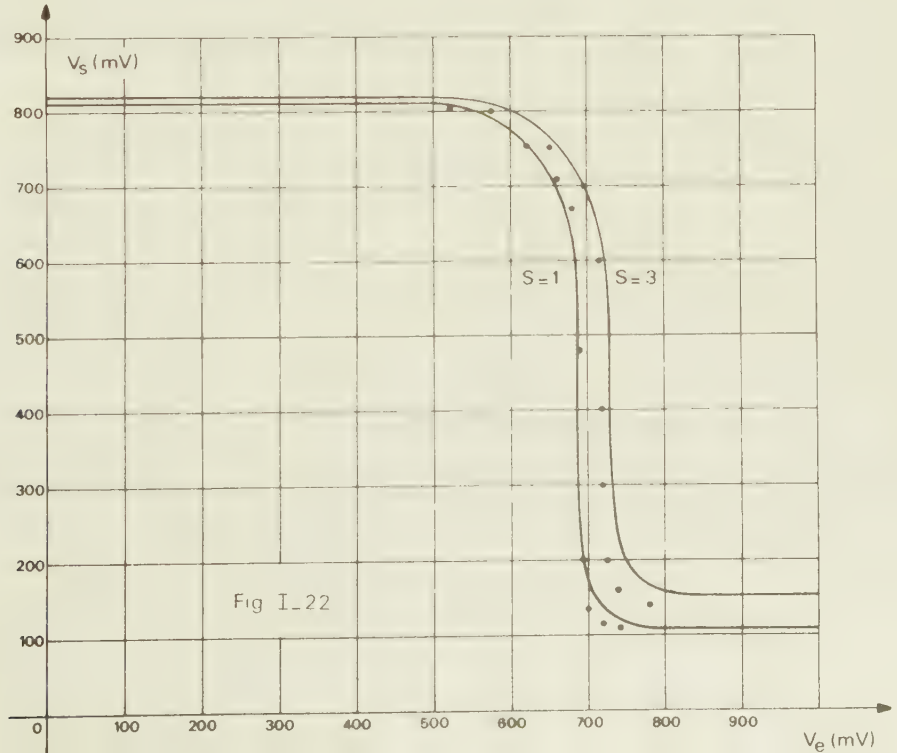
La caractéristique de transfert est obtenue en fixant V_s. De l'expression (I-1) on tire I_s ; on porte les valeurs de I_s et de V_s dans (I-2) ; on tire I-Ie donc Ie. En reportant Ie et I_s dans l'expression (I-3) on obtient la valeur de V_e.

On remarque qu'il n'est pas possible de fixer V_e et d'en déduire V_s avec les expressions dont on dispose. Ceci limite le tracé des caractéristiques aux parties où la variation de V_s est suffisante cette limitation ne dépend que de la précision du calcul et ne présente aucun inconvénient en pratique.

En reportant dans les expressions les valeurs des paramètres des composants on obtient les points des caractéristiques de transfert tracées avec s comme paramètre . Ces courbes sont présentées à la Figure I-21.



A la figure I-22 sont présentées les courbes de transfert relevées expérimentalement pour une charge s = 1 et s = 3 sur ce même réseau sont reportés les points calculés.



On constate la bonne concordance des résultats sur la majeure partie des tracés et notamment pour les points de transition ($V_s = V_e$). Cependant il faut noter qu'au niveau bas de la sortie dans la zone qui correspond à la saturation du transistor inverseur, le fait d'avoir ignoré les résistances réparties de collecteur et d'émetteur se traduit par un décalage ΔV_S entre les courbes mesurées et calculées.

Ainsi pour s = 1, $\Delta V_S = I\ (2R_{EE'} + R_{CC'}) \simeq 10$ mV

et pour s = 3, $\Delta V_S = I\ (4R_{EE'} + 3\ R_{CC'}) \simeq 22$ mV

A la figure I-23 sont présentées les courbes de transfert mesurées d'une part lorsque le transistor de porte du module est alimenté par un générateur de courant I = 5 mA ; d'autre part lorsqu'il est alimenté à partir d'une tension V_{AA} de 5 V à travers une résistance R de 820 Ω

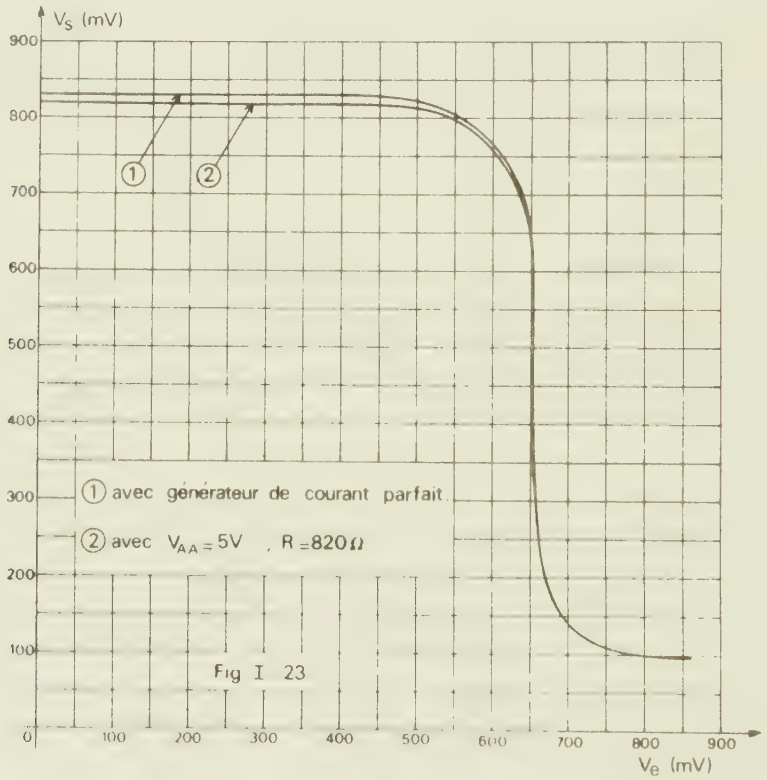


Fig I 23

L'écart qui apparaît entre les deux tracés est négligeable. En pratique le circuit d'alimentation de chaque module sera constitué d'une source de tension de 5 V et d'une résistance de 820 Ω .

Enfin à la figure I-24 on présente les courbes de transfert mesurées à -55°C, à 25°C et à 125°C. Les décalages observés sont essentiellement dus à la jonction base-émetteur de l'inverseur et suivent la loi $\Delta V = -2$ mV/°C.

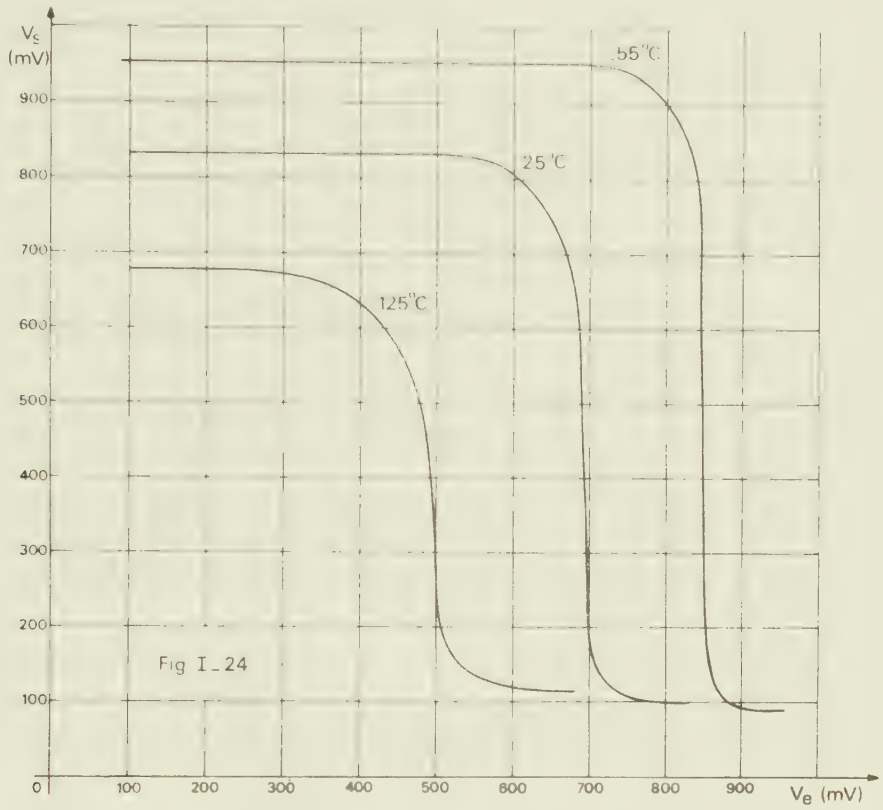


Fig I-24

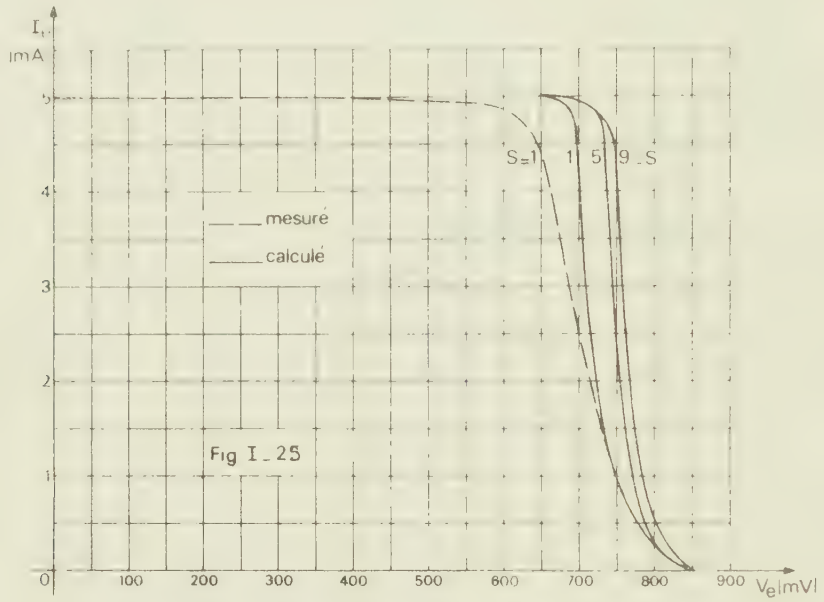
I-3-2 Caractéristique d'entrée

La caractéristique d'entrée du module non chargé est donnée directement par la relation I-3 en y faisant $I_s = 0$:

$$V_e = U_T \text{ Log } \frac{I - I_e + I_{Eo}}{I_{Eo}} \cdot \frac{I}{I + \frac{I_e}{\beta_{ip}}}$$

En reportant dans cette expression les valeurs des paramètres des composants on obtient la caractéristique d'entrée à sortie ouverte. Dans le cas général où le module est chargé, V_e est aussi fonction de I_s. Pour obtenir $V_e = f(I_e)$ il faut exprimer I_s en fonction de I_e. Pour cela il faudrait extraire le terme exp V_s/U_T de l'expression (I-1) et le reporter dans (I-2) ce qui conduirait à une expression de degré trop élevé en I_s pour admettre une solution analytique.

Nous avons fait une résolution numérique. Pour celà on fixe V_e, par une boucle numérique on calcule V_s, ce qui permet de déterminer I_s puis I_e. Les résultats sont présentés à la figure I-25 sur laquelle on a aussi tracé la caractéristique d'entrée relevée expérimentalement dans le cas où s = 1.



I-3-3 Caractéristique de sortie

a- Entrée au niveau 0

Le niveau 0 est obtenu par la saturation de l'étage inverseur en amont du module étudié. La prise en compte de la tension de sortie de cet étage, qui est aussi la tension d'entrée du module étudié, nécessite la connaissance de ses conditions de charge ce qui conduit à envisager les diverses possibilités d'interconnexions. Ceci sera fait lors de l'étude des facteurs de charge.

Pour le tracé de la caractéristique de sortie on définit le niveau 0 à l'entrée par court circuit au potentiel de référence. Ceci permet de s'affranchir des interconnexions amont et n'introduit pas une erreur notable sur la caractéristique de sortie étant donné que le niveau d'entrée n'intervient que dans le domaine où le transistor inverseur du module étudié conduit en inverse (Figure I-26).

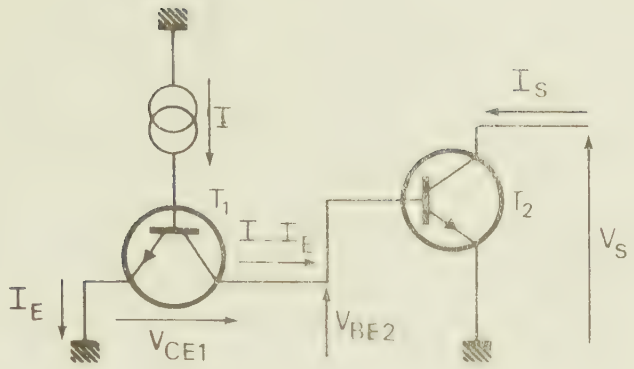


Fig. I-26

Dans ces conditions :

$$V_{CE1} = V_{BE2}$$

Soit en utilisant les expressions que nous avons établies lors de l'étude de la caractéristique d'entrée :

$$U_T \text{ Log } \frac{\frac{I}{\alpha_{ip}} + \frac{-I_e}{\beta_{ip}}}{I} = U_T \text{ Log } \frac{I - I_e + (1 - \alpha_i)I_s + I_{Eo}}{I_{Eo}}$$

d'où

$$I - I_e = \frac{\frac{I_{Eo}}{\beta_{ip}} - \frac{I_s}{1 + \beta_i}}{1 + \frac{I_{Eo}}{\beta_{ip} I}}$$

d'autre part l'expression A-I-7 s'écrit ici :

$$V_s = U_T \text{ Log } \frac{\alpha_n}{\alpha_i} \cdot \frac{I - I_e + (1 - \alpha_i)I_s + I_{Eo}}{\alpha_n (I - I_e) + (\alpha_n - 1) I_s + I_{Co}}$$

En portant l'expression de $I - I_e$ dans cette équation et en la résolvant par rapport à I_s on obtient :

$$I_{so} = \frac{\left[(\alpha_i + \beta_{ip})\ I + I_{Eo}\right] \exp \frac{V_s}{U_T} - (1 + \beta_{ip})\ I - I_{Eo}}{1 - \alpha_i + \alpha_i \left[\frac{1 - \alpha_n \alpha_i}{\alpha_n} \frac{\beta_{ip}\ I}{I_{Eo}} + \frac{1}{\beta_n}\right] \exp \frac{V_s}{U_T}}$$

On remarque que lorsque V_s prend des valeurs négatives importantes le transistor T_2 fonctionne en inverse et qu'alors son courant de collecteur tend vers $-(1 + \beta_{ip})(1 + \beta_i)\ I$.

b - Entrée au niveau 1

Le niveau 1 à l'entrée d'un module est défini par le blocage du transistor inverseur du module amont. Si l'on néglige le courant de fuite de ce transistor inverseur le courant I est entièrement absorbé par la base du transistor inverseur du module étudié - Figure I-27.

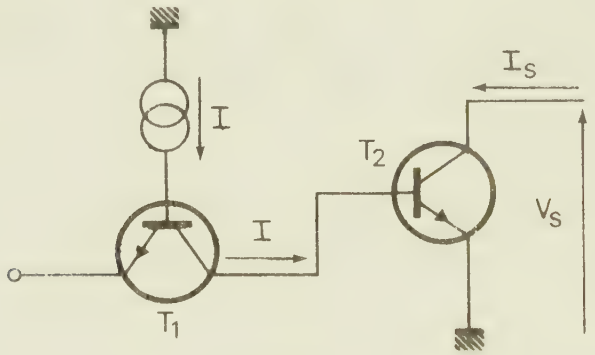


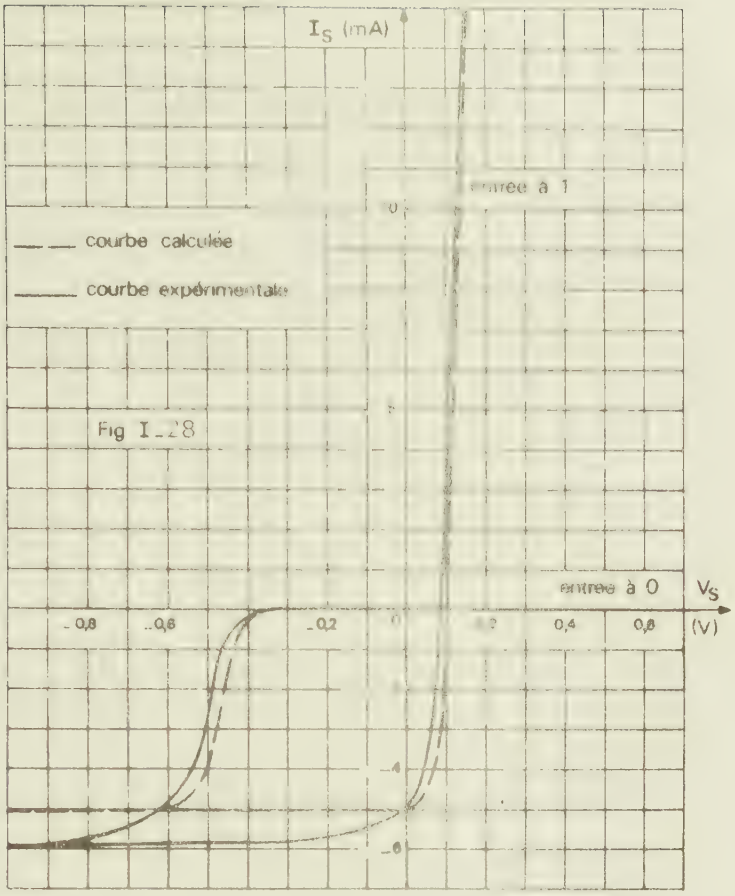
Fig. I-27

L'expression de la tension de sortie s'écrit :

$$I_{s1} = \frac{\alpha_n \left[\alpha_i \exp \frac{V_s}{U_T} - 1\right] I + \alpha_n\ I_{Eo} \left(\exp \frac{V_s}{U_T} - 1\right)}{\alpha_n\ (1 - \alpha_i) - \alpha_i\ (\alpha_n - 1)\ \exp \frac{V_s}{U_T}}$$

En reportant dans les expressions de I_{so} et I_{s1} les valeurs des paramètres des composants on obtient par calcul numérique les courbes représentées à la figure I-28.

Sur cette même figure sont reportées les courbes relevées expérimentalement.

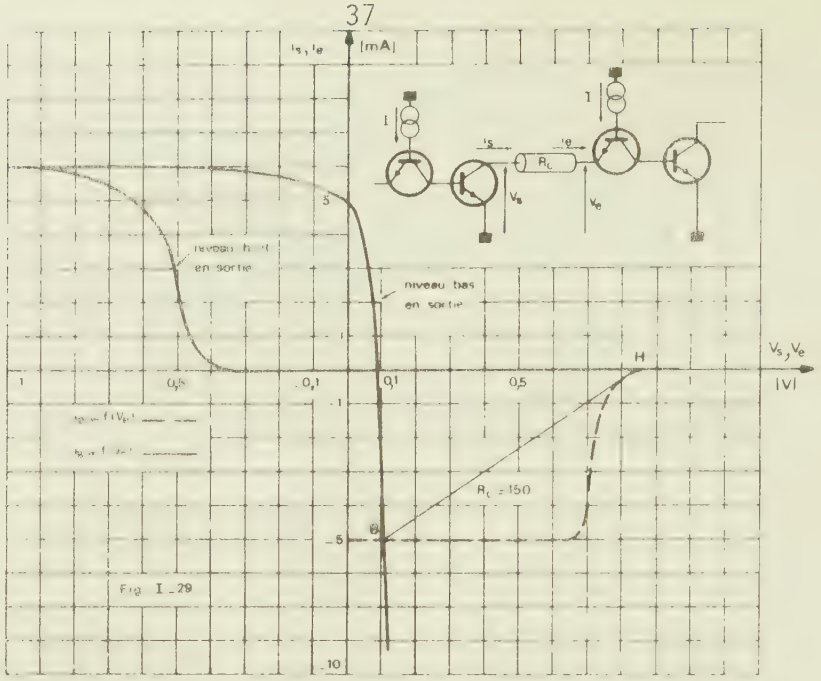


I-3-4 Liaisons entre modules

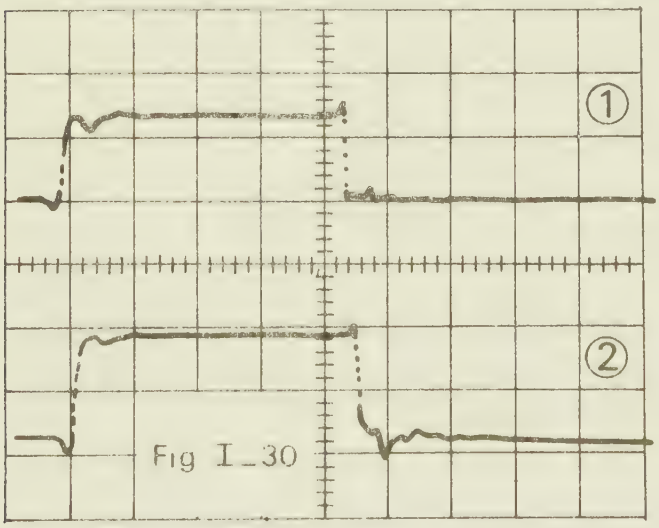
a) Liaison par ligne de transmission

Dans le cas où la liaison entre modules est faite par une ligne de transmission les tracés des caractéristiques d'entrée et de sortie que nous venons de présenter permettent de faire l'étude de l'adaptation par la méthode de Bergeron (15)

La détermination de la résistance caractéristique R_c de la ligne qui donne la meilleure adaptation se fait graphiquement en mesurant la pente de la droite qui joint les points d'intersection de la caractéristique d'entrée du module avec les caractéristiques de sortie respectivement pour le niveau bas de la sortie (point B) et pour son niveau haut (point H). Le résultat obtenu sur le tracé de la figure I-29 est R_c = 150 Ω, valeur de résistance caractéristique facilement réalisable avec les modes d'interconnexions usuels (16).



A la figure I-30 on présente l'oscillogramme de la tension de sortie d'un module et de la tension d'entrée du module suivant, la liaison étant assurée par un câble coaxial Perena 125 P M S A de 130Ω de résistance caractéristique et de 1 m de longueur.



① Sortie de l'émetteur

② Entrée du récepteur

Sensibilités:

Horizontale 20ns/C
Verticale 500mV/C

Il faut noter que cette possibilité d'adaptation directe des liaisons est une particularité du circuit T T L bas niveau. En effet la détermination de la résistance R_c optimale pour les circuits T T L 54/74 donne $R_c \simeq 3\ k\Omega$ et pour les circuits ECL : $R_c \simeq 8\ k\Omega$. Ces valeurs ne correspondent pas aux résistances caractéristiques des lignes d'interconnexions, c'est pourquoi on utilise la méthode de Bergeron pour rechercher parmi les valeurs courantes des résistances caractéristiques celle qui conduit au meilleur compromis pour l'adaptation au front montant et au front descendant (17) ,(18).

b) Liaison localisée

Lorsque la liaison est suffisamment courte pour être considérée ponctuelle son existence se traduit par un accroissement de la capacité parasite en sortie du module générateur.

Les performances du circuit en sont affectées, l'étude de l'influence du circuit de charge sur le temps de traversée du module logique est faite au prochain chapitre.

I-3-5 Conclusion

L'observation des caractéristiques électriques externes du module montre qu'il répond aux critères fondamentaux de définition d'un circuit logique. Cependant on pourrait craindre une grande influence de la température sur les conditions de fonctionnement. En effet on observe un décalage global important des caractéristiques de transfert en fonction de la température. A ce sujet deux remarques s'imposent :

- Le décalage affectant à la fois le point de niveau logique haut et le point de transition, la sensibilité au bruit correspondante est assez peu affectée.

- Comme le niveau haut en sortie d'un circuit de rang n est fixé non par lui-même mais par l'entrée du circuit de rang n + 1 il n'y a aucun inconvénient à relier en série des circuits portés à des températures même très différentes. Le cas d'interconnexions multiples en parallèle, où il y a des risques de conduction en inverse des transistors de porte et de dégradation des niveaux, sera traité à la deuxième partie au chapitre consacré à l'étude des facteurs de charge.

Enfin on retiendra de cette étude la simplicité d'adaptation des interconnexions ce qui permet une grande souplesse d'emploi pour des circuits aussi rapides qui présentent en outre l'avantage de réaliser directement la fonction "OU câblé".

I-4 ANALYSE DU COMPORTEMENT DU MODULE LOGIQUE EN REGIME DYNAMIQUE

I-4-1 Détermination des formes d'ondes

I-4-1-1 Mise en équations d'un anneau astable

La méthode de mesure utilisée pour déterminer le temps de traversée d'un circuit logique est basée sur le fait qu'une chaîne de n inverseurs rebouclée sur elle-même, constitue un anneau astable si n est impair.

Le temps de traversée θ est déduit de la période T du signal observé en un point quelconque de l'anneau par la relation $\theta = T/2n$.

Pour calculer θ nous avons choisi de mettre en équations un tel anneau.

Les résultats obtenus sont ainsi indépendants du mode d'attaque des circuits et ils sont facilement contrôlables par l'expérience.

En remplaçant dans le schéma du module logique (figure I-14) les transistors de porte et inverseur par leur schéma équivalent (figures I-19 et A-I-3) on obtient le schéma équivalent de la figure I-31.

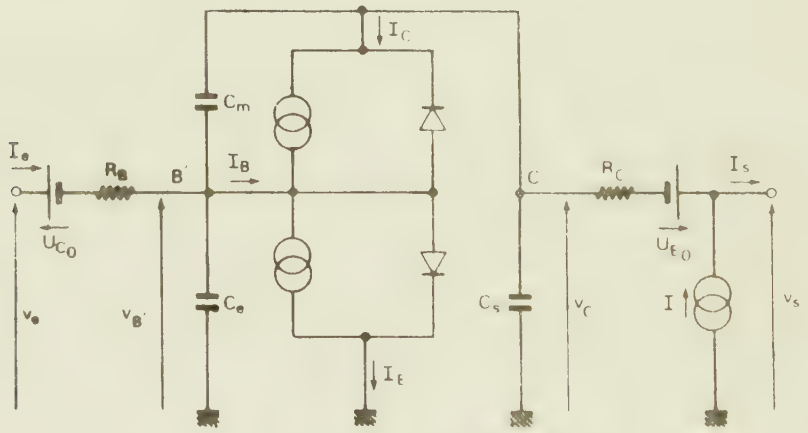


Fig I 31

Sur ce schéma on remarque :

- que $R_{BB'p}$ ne figure plus puisqu'elle est ici placée en série avec un générateur de courant.
- que $R_B = R_{CC'p} + R_{BB'q}$
- que $R_C = R_{B'E'p} + R_{EE'p} + R_{CC'q}$
- que le module élémentaire de l'anneau peut être ainsi défini entre les points de base de deux transistors de porte consécutifs.

Les équations aux noeuds B' et C' s'écrivent :
au noeud B'

$$I_e = C_e \frac{dV_{B'}}{dt} + C_m \left(\frac{dV_{B'}}{dt} - \frac{dV_{C'}}{dt}\right) + I_B \qquad \text{I-4}$$

au noeud C' :

$$I - I_s = C_s \frac{dV_{C'}}{dt} + C_m \left(\frac{dV_{B'}}{dt} - \frac{dV_{C'}}{dt}\right) + I_c \qquad \text{I-5}$$

avec $C_e = C_{TE} + C_{DE}$
$C_m = C_{TC} + C_{DC}$

où C_{TE}, C_{DE}, C_{TC} et C_{DC} sont les capacités définies en annexe A-I-2.

On peut d'autre part exprimer I_e et I_s en fonction de V_e, $V_{B'}$, V_s et $V_{C'}$ sous la forme :

$$I_e = \frac{V_e - U_{Co} - V_{B'}}{R_B} \qquad \text{I-6}$$

$$I - I_s = \frac{V_s - U_{Eo} - V_{C'}}{R_C} \qquad \text{I-7}$$

Enfin ce système est complété par les relations A-I-8 et A-I-10 qui s'écrivent ici :

$$I_C = \frac{\alpha_n I_{Eo}\left(\exp \frac{V_{B'E}}{U_T} - 1\right) - I_{Co}\left(\exp \frac{V_{B'C'}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i} \qquad \text{I-8}$$

$$I_B = \frac{(1 - \alpha_n) I_{Eo}\left(\exp \frac{V_{B'E}}{U_T} - 1\right) + (1 - \alpha_i) I_{Co}\left(\exp \frac{V_{B'C'}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i} \qquad \text{I-9}$$

Remarque : Dans ce calcul on a négligé $R_{EE'q}$. La prise en compte de cette résistance apporterait en effet une complication des calculs sans pour autant améliorer de façon notable la précision des résultats car son influence est négligeable devant celle de $R_{BB'q}$.

Numérotons les modules de la chaîne de 1 à n.

Considérons le module de rang i, on peut écrire :

$$V_{s(i)} = V_{e(i+1)} \qquad \text{I-10}$$

$$I_{e(i)} = I_{s(i-1)} \qquad \text{I-11}$$

Le fait que la chaîne soit rebouclée en anneau se traduit par :

$$n + 1 = 1 \qquad \text{I-12}$$

En reportant ces relations dans les équations II-3 et II-4 on peut exprimer $V_{e(i)}$ en fonction de $V_{B'(i)}$ et de $V_{C'(i-1)}$, il vient ainsi :

$$V_{e(i)} = V_o + A_1 V_{C'(i-1)} + A_2 V_{B'(i)} \qquad \text{I-13}$$

où

$$V_o = \frac{R_B \quad R_C}{R_B + R_C} \; I$$

$$A_1 = \frac{R_B}{R_B + R_C}$$

$$A_2 = \frac{R_C}{R_B + R_C}$$

On dispose d'un système d'équations (I-4, I-5, I-13) qui peut être résolu par rapport à $V_{B'(i)}$ et $V_{C'(i)}$ ou par rapport à $V_{e(i)}$ et $I_{e(i)}$

Nous avons choisi de résoudre par rapport à $V_{B'}$ et $V_{C'}$ ce qui conduit à une formulation plus simple.

I-4-1-2 Résolution du système d'équations

La résolution du système d'équations I-4, I-5 et I-13 s'effectue comme suit :

- des tensions $V_{B'(i)}$ et $V_{C'(i)}$ on déduit les tensions $V_{e(i)}$ par l'équation I-13.
- à partir des équations I-4, I-5, I-6 et I-7 on établit les expressions de $dV_{B'(i)}/dt$ et $dV_{C'(i)}/dt$ en fonction des tensions $V_{e(i)}$.
- Connaissant $\frac{dV_{B'(i)}}{dt}$ et $\frac{dV_{C'(i)}}{dt}$ on calcule les valeurs des tensions $V_{B'(i)}$ et $V_{C'(i)}$ à t + dt, valeurs que l'on réintroduit comme nouvelles valeurs initiales dans la boucle de calcul selon le schéma de l'organigramme de la figure I-32.

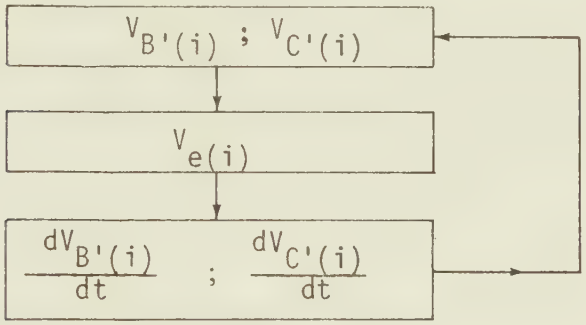


Fig. I-32

Les expressions de $\frac{dV_{B'(i)}}{dt}$ et $\frac{dV_{C'(i)}}{dt}$ sont obtenues en résolvant le système déduit des équations I-4, I-5, I-6 et I-7 généralisées au rang i par I-10 et I-11, système qui s'écrit :

$$\left(C_{TE} + C_{TC} + C_{DE(i)} + C_{DC(i)}\right) \frac{dV_{B'(i)}}{dt} - \left(C_{TC} + C_{DC(i)}\right) \frac{dV_{C'(i)}}{dt} = F_{(i)}$$

$$-\left(C_{TC} + C_{DC(i)}\right) \frac{dV_{B'(i)}}{dt} + \left(C_s + C_{TC} + C_{DC(i)}\right) \frac{dV_{C'(i)}}{dt} = G_{(i)}$$

avec $$F_{(i)} = \frac{V_{e(i)} - V_{B'(i)} - U_{Co}}{R_B} - I_{B(i)}$$

et $$G_{(i)} = \frac{V_{e(i+1)} - V_{C'(i)} - U_{Eo}}{R_C} - I_{C(i)}$$

Les déterminants du système s'écrivent :

$$\Delta_{(i)} = \begin{vmatrix} C_{TE} + C_{TC} + C_{DE(i)} + C_{DC(i)} & -(C_{TC} + C_{DC(i)}) \\ C_{TC} + C_{DC(i)} & C_S + C_{TC} + C_{DC(i)} \end{vmatrix}$$

$$\Delta_{(i)} \frac{dV_{B'(i)}}{dt} = \begin{vmatrix} F_{(i)} & -(C_{TC} + C_{DC(i)}) \\ G_{(i)} & C_S + C_{TC} + C_{DC(i)} \end{vmatrix}$$

$$\Delta_{(i)} \frac{dV_{C'(i)}}{dt} = \begin{vmatrix} C_{TE} + C_{TC} + C_{DE(i)} + C_{DC(i)} & F_{(i)} \\ -(C_{TC} + C_{DC(i)}) & G_{(i)} \end{vmatrix}$$

I-4-1-3 Détermination des conditions initiales

Le principe de résolution que nous avons adopté nécessite la connaissance à l'instant initial du calcul de toutes les tensions $V_{B'(i)}$ et $V_{C'(i)}$ et de leurs pentes $dV_{B'(i)}/dt$ et $dV_{C'(i)}/dt$.

Une première façon de procéder consiste à mesurer à un instant quelconque, choisi comme instant initial, la totalité des grandeurs nécessaires et à introduire leurs valeurs numériques dans le calcul.

On obtient ainsi une convergence rapide mais nous n'avons pas retenu cette méthode car elle nécessite un montage de mesure pour chacun des cas que l'on souhaite étudier.

En choisissant convenablement l'instant initial il est possible de faire débuter le calcul lorsque l'anneau est dans un état tel qu'un grand nombre d'étages soit dans un état statique. C'est le cas si l'on choisit l'origine des temps à l'instant où la tension de base d'un inverseur, par exemple celui de l'étage n° 1, passe par $V_{B'(1)} = 400$ mV; le courant de base de cet inverseur est encore négligeable alors que le courant de collecteur de l'inverseur amont (N° n) est déjà nul.

Ainsi tous les (n - 2) autres étages sont en régime statique, soit saturés, soit bloqués.

Dans ces conditions on peut calculer la pente $\frac{dV_{B'(1)}}{dt}$ sur le schéma de la figure I-33.

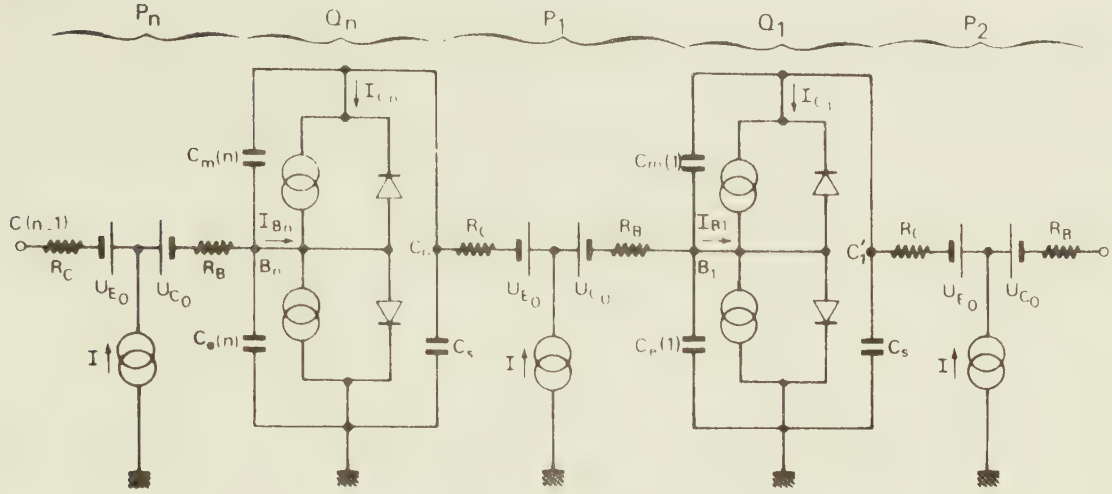


Fig I_33

On peut considérer que $V_{C'(1)}$ est constante car le transistor de porte P_2 est saturé ainsi que le transistor inverseur Q_2. Dans ces conditions la capacité $C_{m(1)}$ peut être ramenée en parallèle sur $C_{e(1)}$ les courants dans les jonctions base-émetteur et base-collecteur de Q_1 étant négligeables on peut faire l'approximation :

$$C_{m(1)} + C_{e(1)} = C_{TE} + C_{TC} + C_{DE(1)} + C_{DC(1)} \simeq C_{TE} + C_{TC}$$

Remarque : En toute rigueur la saturation de Q_2 peut ne pas être une condition suffisante pour maintenir $V_{C'(1)}$ constante car la tension $V_{C'(1)}$ tendant à augmenter, P_2 tend à se désaturer.

Dans ce cas la capacité ramenée à l'entrée de Q_1 serait inférieure à C_{TC}.

On peut considérer de même que $V_{C'(n-1)}$ donc $V_{B'(n)}$ restent sensiblement constantes puisque $Q_{(n-1)}$ et $P_{(n)}$ sont saturés. La remarque précédente n'est pas justifiée car dans ce cas $P_{(n)}$ fonctionne en direct. La capacité $C_{m(n)}$ vient donc en parallèle sur C_s. Comme précédemment on peut faire l'approximation :

$$C_s + C_{m(n)} = C_s + C_{TC} + C_{DC(n)} \simeq C_s + C_{TC}$$

Ceci posé, le schéma de la figure I-33 peut se représenter sous la forme du schéma équivalent instantané de la figure I-34, valable seulement à l'instant initial du calcul.

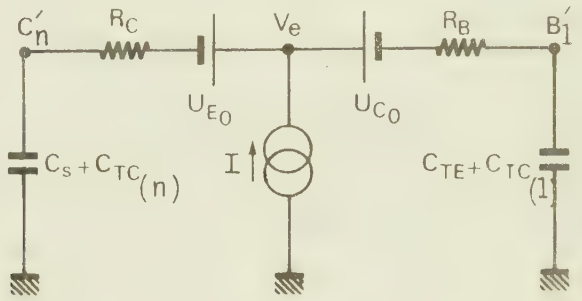


Fig.I-34

Les résistances R_B et R_C étant faibles ainsi que les capacités $C_s + C_{TC(n)}$ et $C_{TE} + C_{TC(1)}$ le courant I se partage dans chacune des branches proportionnellement aux valeurs des capacités qui se chargent à courant pratiquement constant.

On obtient ainsi à t = 0

$$\frac{dV_{C'(n)}}{dt} = \frac{dV_{B'(1)}}{dt} = \frac{I}{C_s + C_{TE} + 2\,C_{TC}}$$

$$V_{e(1)} = V_{B'(1)} + R_B(C_{TE} + C_{TC})\frac{dV_{B'(1)}}{dt} + U_{Co}$$

$$V_{C'(n)} = V_{e(1)} - R_C(C_s + C_{TC})\frac{dV_{C'(n)}}{dt} - U_{Eo}$$

$$\frac{dV_{B'(n)}}{dt} = 0 \text{ et } \frac{dV_{e'(n)}}{dt} = 0$$

Pour les autres étages en régime statique toutes les pentes $dV_{C'}/dt$ sont nulles ainsi que les pentes $dV_{B'}/dt$.

Enfin pour ces étages de rang pair $V_{B'} = V_{BEsat}$ et $V_{C'} = V_{CEsat}$. Pour ces mêmes étages de rang impair les tensions de base et de collecteur sont déduites des tensions V_{BEsat} et V_{CEsat} correspondantes selon les relations :

$$V_{C'(impair)} = V_{BEsat} + R_B\,I + U_{Co} - U_{Eo}$$

$$V_{B'(impair)} = V_{CEsat} + R_C\,I + U_{Eo} - U_{Co}$$

Les calculs ont été effectués sur ordinateur C. I. I. 10070 avec les valeurs des paramètres mesurées selon les méthodes indiquées en annexe A-I.

Dans le cas présent où les résistances réparties sont prises en compte les tensions de saturation du transistor intrinsèque s'expriment dans les conditions de fonctionnement du module, soit à $\beta_f = 1$:

$$V_{C'E'sat} = V_{CEsat} - I_{Csat}\,(R_{CC'} + 2R_{EE'})$$

$$V_{B'E'sat} = V_{BEsat} - I_{Bsat}\,(R_{BB'} + 2R_{EE'})$$

De la mesure de α_n, V_{BEsat} et V_{CEsat} sur un lot de transistors d'un type donné, on déduit α_i, I_{Eo} et I_{Co} par les relations :

$$\alpha_i = \frac{2}{1 + \exp \frac{V_{C'E'sat}}{U_T}}$$

$$I_{Eo} = \frac{I_{Csat}(2 - \alpha_i)}{\exp \frac{V_{B'E'sat}}{U_T}}$$

$$I_{Co} = \frac{\alpha_n\, I_{Eo}}{\alpha_i}$$

Les valeurs des divers paramètres ainsi déterminées sont consignées au tableau de la figure I-35.

$\tau_n = 0{,}52.10^{-9}$. s	$\alpha_n = 0{,}98$
$\tau_i = 2.10^{-9}$. s	$V_{C'E'sat} = 0{,}0955$ V
$R_B = 21.0\ \Omega$	$V_{B'Esat} = 0{,}8$ V
$R_C = 6{,}1\ \Omega$	$\alpha_i = 0{,}043$
$C_{TE} = 1{,}6.10^{-12}$ F.	$I_{Eo} = 1{,}24.10^{-16}$ .A
$C_{TC} = 2{,}6.10^{-12}$ F.	$I_{Co} = 2{,}83.10^{-15}$ .A
$C_s = 1{,}4.10^{-12}$ F.	

Fig. I-35

Remarque : Dans l'expression de $V_{B'E'sat}$ la résistance $R_{BB'}$ est mesurée selon la méthode décrite en A-I-2-3. Pour un transistor de type 2 N 709 on trouve $R_{BB'} = 3\Omega$.

Il faut noter que le transistor fonctionne soit à la saturation, cas de la mesure de $R_{BB'}$, soit au blocage. Lors du passage de la saturation au blocage la résistance $R_{BB'}$ joue un rôle important puisqu'elle freine l'évacuation des charges stockées, or dans ce type de fonctionnement $R_{BB'}$ ne conserve pas la valeur mesurée à la saturation. L'étude bidimensionnelle du transistor conduit à une loi de variation de $R_{BB'}$ en fonction de I_B à peu près linéaire autour de $I_B = 0$. (21).

Nous avons choisi d'introduire dans le programme de calcul une valeur constante de $R_{BB'}$ du transistor inverseur que nous avons prise égale à 20Ω valeur couramment admise pour le transistor 2N 709 fonctionnant en régime de commutation (14).

I-4-1-4 Présentation des résultats

L'expérience montre que pour faire des mesures correctes sur un anneau astable il faut qu'il comporte au moins cinq étages. Nous avons donc fait le calcul des formes d'ondes pour n = 5.

Nous présentons à la figure I-36 la courbe $V_e(t)$ relevée expérimentalement, sur une période de l'anneau, et la courbe calculée.

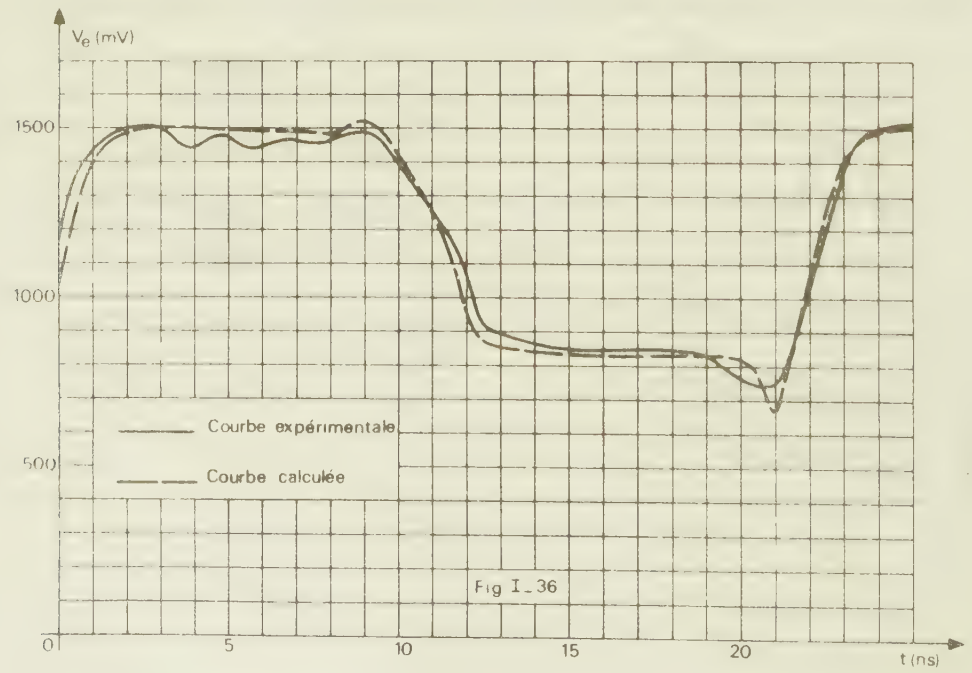


Fig I_36

Les mesures ont été effectuées avec un oscilloscope à échantillonnage TEKTRONIX type 561 A équipé de têtes S2 et de sonde à FET P 6051.

Ces sondes ramènent au point de test une résistance de 1 MΩ dont l'effet est négligeable et une capacité de 2,8 pF ; la capacité du support peut être évaluée à 1 pF.

Il est nécessaire de prendre en compte ces capacités dans le programme de calcul, nous l'avons fait en introduisant dans le programme de calcul une nouvelle valeur de C_s : C_s + 2,8 pF + 1 pF $\simeq$ 5 pF.

Ces conditions de mesure seront les mêmes pour tous les relevés expérimentaux, nous aurons donc les mêmes conditions pour les calculs y afférant.

A la figure I-37 nous présentons les relevés expérimentaux et les points calculés illustrant la commutation de trois modules successifs.

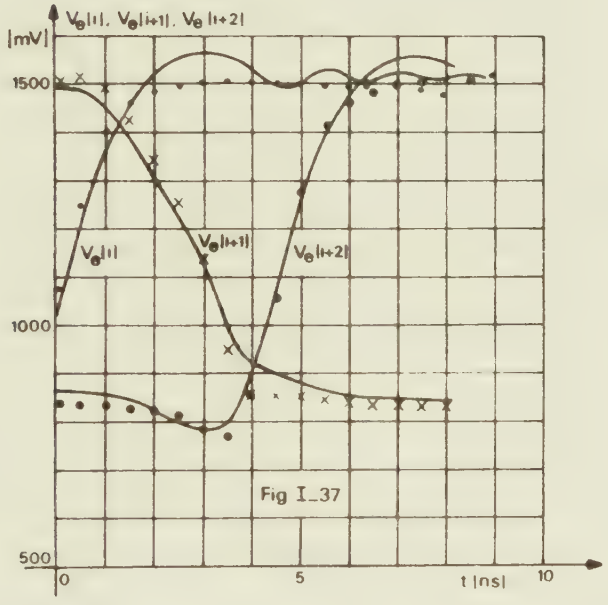


Fig I_37

On notera sur ces deux figures une très bonne concordance entre les résultats du calcul et les relevés expérimentaux. On peut remarquer que cette concordance est bien meilleure que celle obtenue lors de l'étude du degré de saturation optimal de l'inverseur dont les résultats sont présentés à la figure I-5.

L'introduction des résistances réparties dans le modèle lui apporte donc une amélioration importante. On peut en effet observer sur la courbe calculée $V_e(t)$ (figure I-38) toutes les particularités du fonctionnement du module T T L :

Fig I_38

- Dépassement positif suivant la montée
- Dépassement positif à t = 9 ns précédant la descente.
- Descente à deux pentes avec cassure à V_e = 1,1 V.
- Niveau bas atteint en deux temps correspondants à deux états de saturation, le changement d'état intervenant à 15 ns.
- Dépassement négatif à t = 21 ns, précédant la montée.
- Montée linéaire

Les origines des phènomènes physiques de ces diverses phases sont étudiées en détail au paragraphe suivant où l'on analyse le fonctionnement du transistor en régime bloqué-saturé.

Le temps de traversée de la couche logique θ est obtenu à partir de la période T de l'anneau $\theta = \frac{T}{10}$. θ est fonction de la puissance dissipée par le module donc du courant I. On présente à la figure I-39 les courbes calculée et mesurée donnant θ en fonction de I.

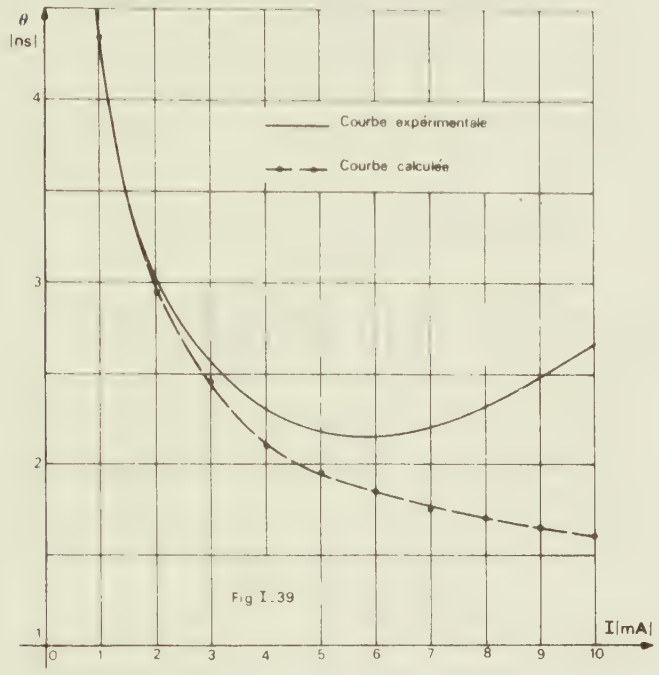


Fig I.39

La concordance entre les résultats est bonne pour les faibles courants I. Pour les valeurs de I supérieures à 5 mA les deux tracés s'écartent,l'optimum observable sur le tracé expérimental n'apparaissant pas sur la courbe calculée.

I-4-2 Analyse de la commutation

L'analyse complète de la commutation du module n'ayant pas été possible nous avons dû rechercher une solution numérique. Nous venons de voir que les résultats obtenus correspondent bien à l'expérience ce qui confirme la validité du modèle que nous avons caractérisé. Disposant ainsi de renseignements sur le processus de commutation sous forme de résultats précis et nombreux il nous a semblé intéressant de les utiliser pour approfondir l'étude de ce processus, en analyser les diverses phases et préciser les phénomènes physiques mis en jeu.

I-4-2-1 Analyse de la mise en conduction

Considérons une portion de l'anneau astable comprenant le transistor inverseurs $Q_{(i)}$ dont on se propose d'étudier la mise en conduction ainsi que les inverseurs amont et aval $Q_{(i-1)}$ et $Q_{(i+1)}$.

Nous représentons à la figure I-40 les courbes calculées :
$V_{e(i)}(t)$; $V_{e(i-1)}(t)$; $I_{B(i-1)}(t)$; $I_{C(i)}(t)$ et $I_{e(i-1)}(t)$

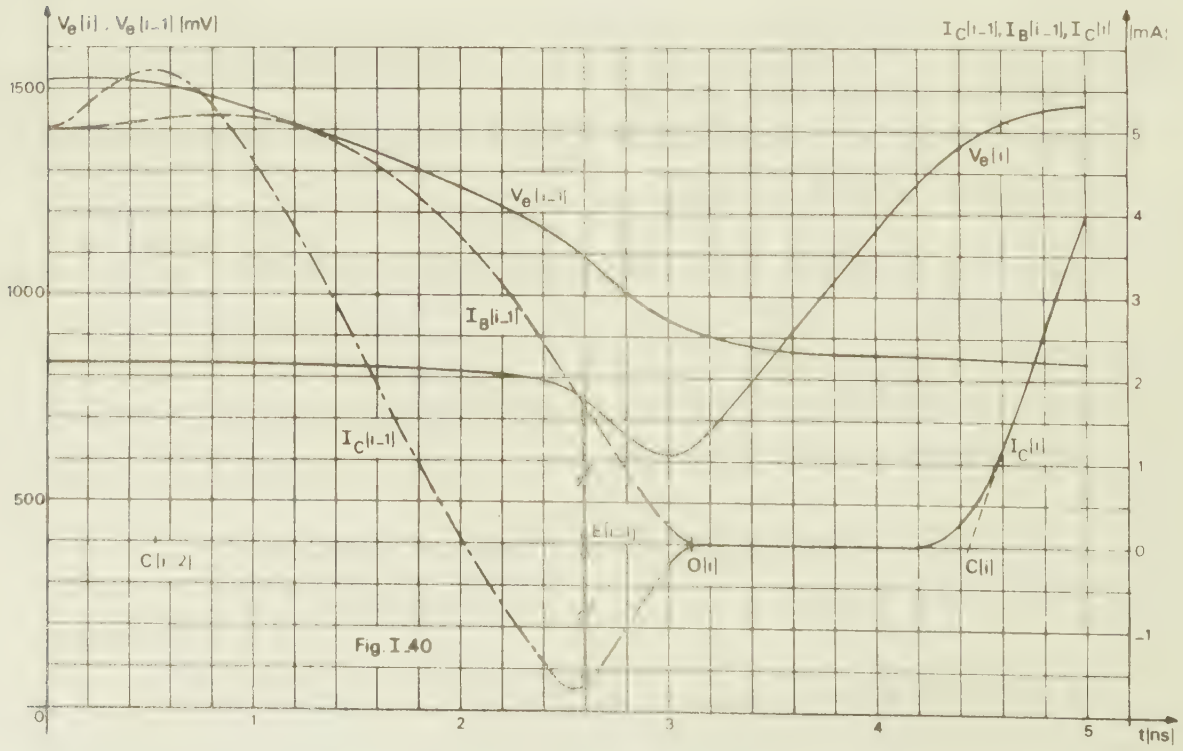


Fig. I.40

La première observation que l'on peut faire sur ces tracés est la vérification des hypothèses d'introduction des conditions initiales dans le programme de calcul, à savoir que :

- lorsque $Q_{(i)}$ va vers la conduction $V_{e(i)}$ donc $V_{B'(i)}$ et $V_{C'(i)}$ croissent bien linéairement avec la pente que l'on a calculée en I-4-1-3 et que pour la valeur de $V_{B'(i)}$ = 400 mV prise à l'origine du calcul, $Q_{(i-1)}$ est bien bloqué avec $I_{B(i-1)} = I_{C(i-1)} = 0$.

- dans ces mêmes conditions $Q_{(i-2)}$ est bien saturé.

- $I_{C(i-1)}$ s'annule avant $I_{B(i-1)}$.

Si nous définissons l'origine de l'étude (point 0) à l'instant précis où $I_{B(i-1)}$ s'annule et où $I_{C(i-1)}$ s'annule **après** avoir été négatif on peut calculer l'expression du temps de retard t_d à la mise en conduction qui apparaît au point C ; on trouve :

$$t_d = \frac{C_s + 2C_{TC} + C_{TE}}{I} \Delta V_{e(i)}$$

On mesure $\Delta V_{e(i)}$ = 760 mV d'où t_d = 1,25 ns, valeur observée sur les courbes de la figure I-40.

Considérons les courbes $V_{e(i)}(t)$; $I_{C(i)}(t)$ et $-I_{e(i+1)}(t)$ représentées à la figure I-41.

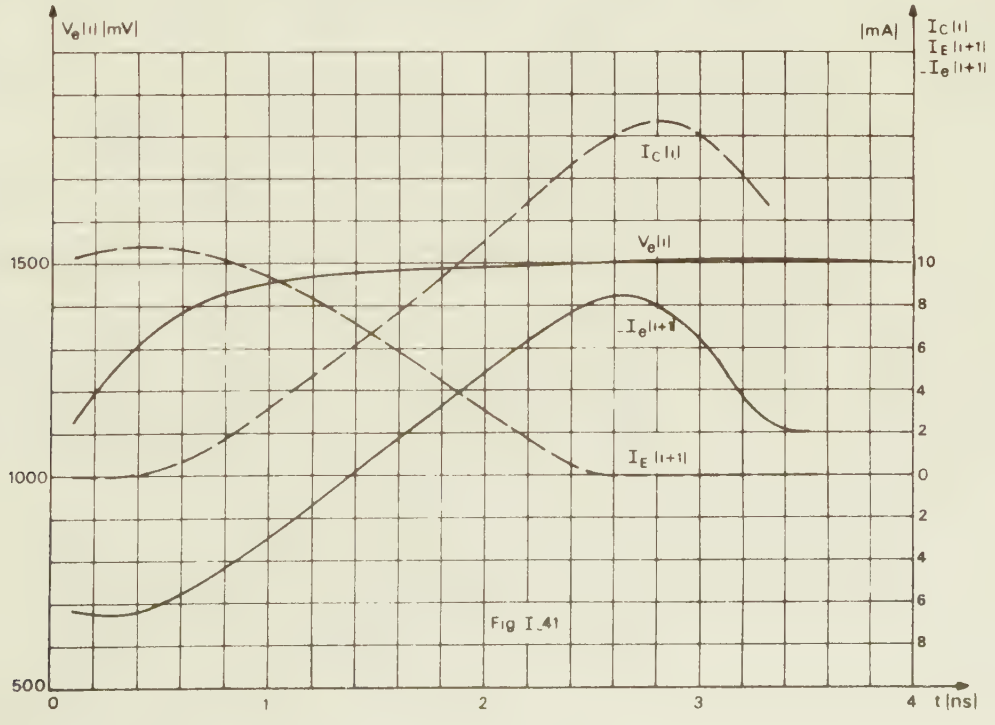


Fig I-41

- Sur ces courbes on observe :

- que $\frac{dI_{C(i)}}{dt}$ = constante

- et que $\frac{dI_{e(i+1)}}{dt} = \frac{dI_{C(i)}}{dt}$

Afin d'évaluer l'influence du courant I sur la mise en conduction de Q(i) nous avons tracé à la figure I-42 la courbe

$$\frac{dI_{C(i)}}{dt} = f(I)$$

obtenue à partir du tracé de la partie linéaire des courbes $I_{C(i)} = f(t)$ pour diverses valeurs de I.

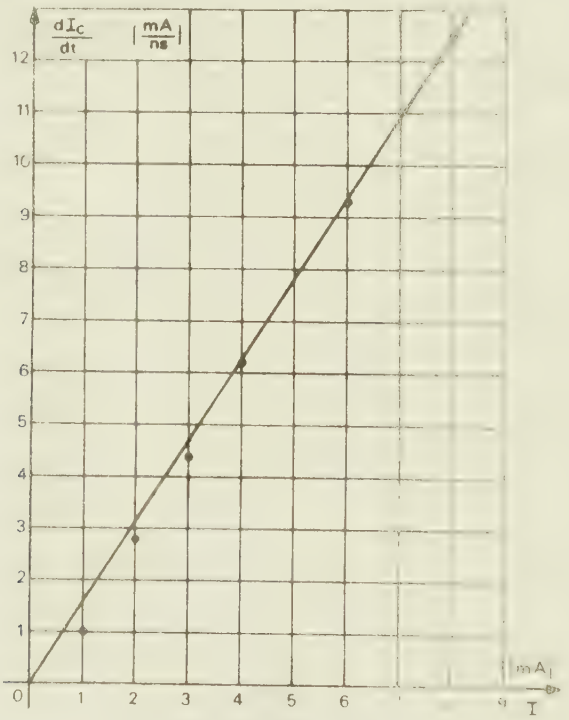


Fig I.42

On constate que $\frac{dI_C}{dt}$ est proportionnelle à I pour les fortes valeurs de I et que le prolongement de la droite représentative passe par l'origine.

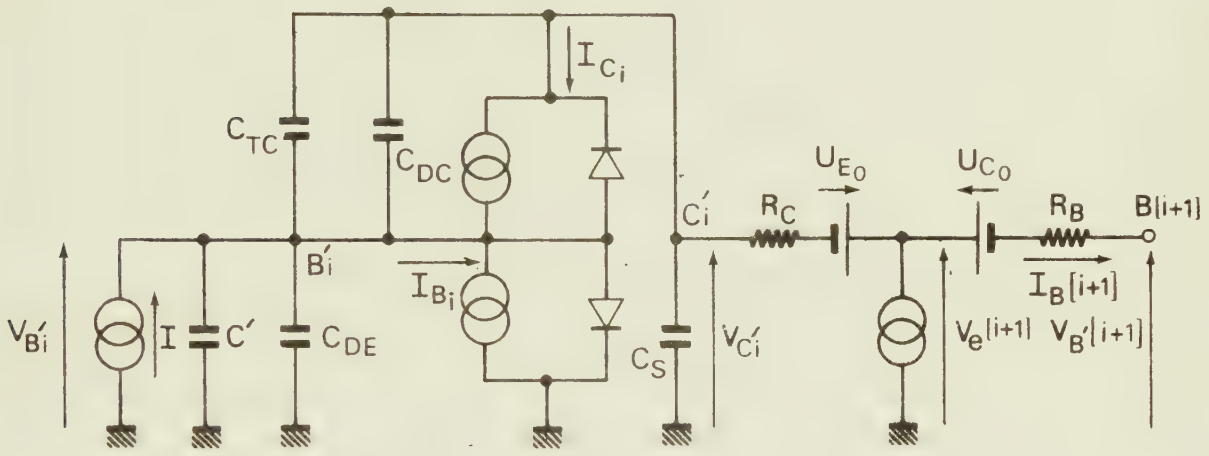
On peut donc écrire :

$\frac{dI_C}{dt} = \frac{I}{\tau}$ et l'on mesure : $\tau = 0{,}64$ ns

Remarque : Pour les faibles valeurs de I (I < 3 mA) le tracé s'écarte légèrement de la droite par valeurs inférieures ce qui se traduit par le fait que τ est légèrement supérieure à 0,64 ns dans ces conditions de fonctionnement.

La valeur de τ ainsi déterminée est supérieure à 0,52 ns valeur que nous avons prise pour τ_n. Il est intéressant de rechercher une relation entre τ et τ_n.

Traçons à la figure I-43 le schéma électrique de la portion de l'anneau considérée dans l'état correspondant à la mise en conduction de $Q_{(i)}$.



$C' = C_{TC} + C_S + C_{TE}$

Fig. I_43

L'équation au noeud B_i' peut s'écrire sous la forme :

$$I = C \frac{dV_{B'(i)}}{dt} + \left(\frac{\tau_n I_{Eo}}{U_T} \exp \frac{V_{B'(i)}}{U_T}\right) \frac{dV_{B'(i)}}{dt} + I_B$$

$$- C_{TC} \frac{dV_{C'(i)}}{dt} + \left(\frac{\tau_i I_{Co}}{U_T} \exp \frac{V_{B'C'(i)}}{U_T}\right) \frac{dV_{B'C'(i)}}{dt}$$

où $C = C_{TE} + C_s + 2\, C_{TC}$

Tant que $Q_{(i)}$ n'est pas saturé l'expression du courant $I_{DC(i)}$ dans $C_{DC(i)}$ s'écrit :

$$I_{DC(i)} = \tau_i \frac{dI_C}{dt} \left(\frac{\alpha_n}{\beta} - (1 - \alpha_n) \right)$$

où β est le gain du transistor dans les conditions de fonctionnement. Si $\beta = \beta_n$, $I_{DC(i)}$ est nul ; si β diminue,

$I_{DC(i)} \simeq \frac{dI_C}{dt} \frac{\tau_i}{\beta}$ reste négligeable.

De même $I_{B(i)} = \frac{I_{C(i)}}{\beta}$ est négligeable.

L'expression du courant $I_{DE(i)}$ dans la capacité $C_{DE(i)}$ s'écrit :

$$I_{DE(i)} = \tau_n \frac{dI_{C(i)}}{dt} \left(\frac{1}{\beta} + (1 - \alpha_i) \right)$$

soit :

$$I_{DE(i)} \simeq \tau_n (1 - \alpha_i) \frac{dI_{C(i)}}{dt}$$

On peut écrire sous forme approchée :

$$C \frac{dV_{B'(i)}}{dt} \simeq \frac{C U_T}{I_{B(i)} + (1 - \alpha_i) I_{e(i)}} (1 - \alpha_i) \frac{dI_{C(i)}}{dt}$$

Enfin on écrit :

$$V_{C'(i)} = V_{B'(i+1)} + R_B I_{e(i+1)} + U_{Eo} - U_{Co} - R_C (I - I_{e(i+1)})$$

En dérivant cette expression il vient :

$$\frac{dV_{C'(i)}}{dt} = \frac{dV_{B'(i+1)}}{dt} + (1 - R_C) \frac{dI_{e(i+1)}}{dt}$$

où $\frac{dI_e(i+1)}{dt} = - \frac{dI_{C(i)}}{dt}$

et où $$\frac{dV_{B'(i+1)}}{dt} = \frac{U_T\left(\frac{dI_{E(i+1)}}{dt} - \alpha_i \frac{dI_{C(i+1)}}{dt}\right)}{I_{B(i+1)} + (1 - \alpha_i) I_{C(i+1)}}$$

expression que l'on peut simplifier en remarquant que dans le cas du module T T L α_i est petit et que d'autre part :

$$\frac{dI_{E(i+1)}}{dt} \simeq \frac{dI_{e(i+1)}}{dt}$$ comme le montre la courbe calculée représentée à la figure I-44.

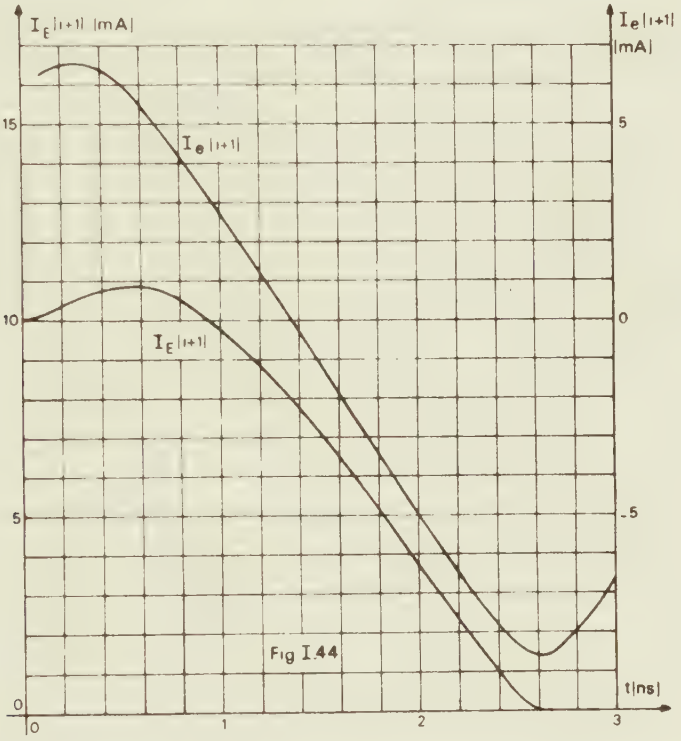


Fig I.44

L'équation au noeud B' s'écrit, compte tenu de ces considérations :

$$I = \frac{dI_{C(i)}}{dt}\left\{\frac{C\,U_T(1 - \alpha_i)}{I_{B(i)} + (1 - \alpha_i) I_{C(i)}} + \tau_n(1 - \alpha_i)\right.$$

$$\left. + C_{TC}(R_B + R_c) + \frac{C_{TC}\,U_T}{I_{B(i+1)} + (1 - \alpha_i) I_{C(i+1)}} + \frac{\tau_i}{\beta}\right\}$$

En identifiant cette expre[illegible] à $I = \tau \frac{dI_C}{dt}$

on obtient :

$$\tau = \tau_n (1 - \alpha_i) + C_{TC} ([illegible] \quad \tau_o$$

où $\tau_o = U_T \left\{ \frac{C(1 - \alpha_i}{I_{B(i)} + (1 - \alpha_i)} \quad \frac{C_{TC}}{I_{B(i+1)} + (1 - \alpha_i) I_{C(i+1)}} \right\}$

Soit en négligeant α_i deva[illegible]

$$\tau_o = U_T \left\{ \frac{C}{I_{E(i)}} + \frac{C_T}{I_{E(i}} \right.$$

Au cours de la phase de mi[illegible] conduction de $Q_{(i)}$, le courant $I_{E(i)}$ passe de 0 à 2[illegible] alors que $I_{E(i+1)}$ passe de 2I à 0, comme on peut le vérifier sur les courbe[illegible] de la figure I-41.

Compte tenu de la valeur relative de τ_o et de τ :

$\tau = 0{,}64$ ns

et $\tau_o = \tau - \tau_n - C_{TC} (R_B + R_C)$

où $\tau_n = 0{,}52$ ns

et $C_{TC} (R_B + R_C) = 0{,}07$ ns

soit $\tau_o = 0{,}05$ ns

On peut prendre une valeur moyenne de $I_{E(i)}$ et de $I_{E(i + 1)}$ égale à I et alors identifier :

$$\tau_o = \frac{U_T}{I} (C + C_{TC})$$

Cette expression de τ traduit bien l'écart signalé pour les faibles valeurs de I, entre la courbe et la droite de la figure I-42.

L'étude de la mise en conduction de $Q_{(i)}$ nous permet de conclure que le blocage de $Q_{(i + 1)}$ se fait avec un courant $I_{e(i + 1)}$ tel que :

$$\frac{dI_{e(i + 1)}}{dt} = - \frac{dI_{C(i)}}{dt}$$

$$\tau = \tau_n + C_{TC}(R_B + R_C) [illegible] \quad _{TC})$$

I-4-2-2 Analyse du blocage

Nous donnons à la figure I-45 le schéma de la portion de l'anneau astable considérée dans l'état correspondant au blocage de $Q_{(i+1)}$

On notera que l'on néglige dans ce cas les capacités de transition devant les capacités de diffusion.

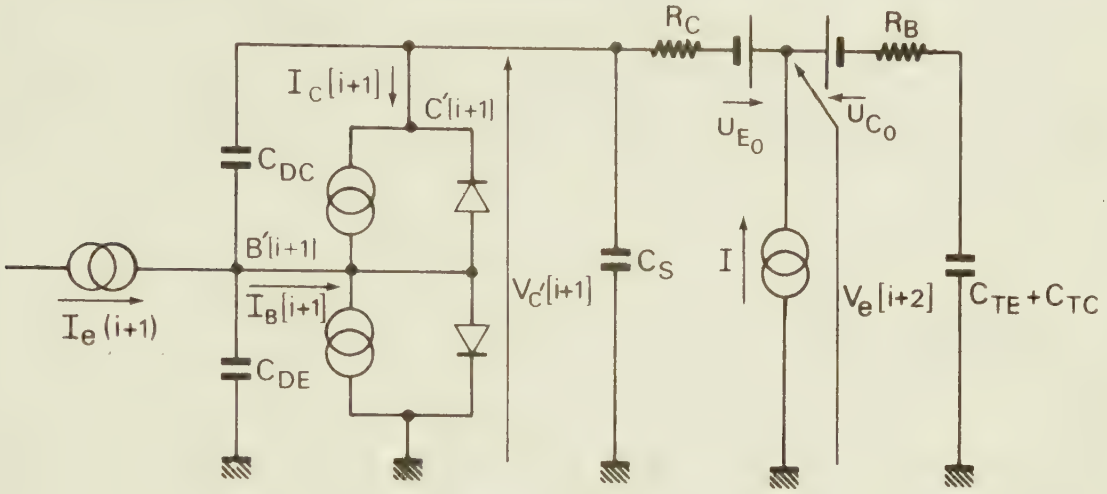


Fig. I_45

L'équation au noeud $B'_{(i+1)}$ peut s'écrire :

$$I_{e(i+1)} = I_{DE} + I_{DC} + I_B$$

où les courants dans les capacités de diffusion ont pour expression :

$$I_{DE} = \tau_n \left(\frac{dI_B}{dt} + (1 - \alpha_i) \frac{dI_C}{dt} \right)$$

$$I_{DC} = \tau_i \left(\frac{dI_B}{dt} - (1 - \alpha_n) \frac{dI_C}{dt} \right) \simeq \tau_i \frac{dI_B}{dt}$$

et où $I_{e(i+1)}$ est de la forme $I_{(o)} - I \frac{t}{\tau}$

On a trouvé comme expression de la pente de $v_{e(i)}$

$$\frac{dV_{e(i)}}{dt} = \frac{I}{C}$$

Le courant fourni à $Q_{(i+1)}$ et ayant pour origine la variation de $v_{e(i)}$ circule à travers $C_{TC(i)}$ et a donc pour expression :

$$I_{TC} = \frac{IC_{TC}}{C}$$

d'où

$$I_{(o)} = I + I_{TC} = I \left(1 + \frac{C_{TC}}{C}\right)$$

Cette phase de blocage de $Q_{(i+1)}$ débute à $t = t_d$, instant d'entrée en conduction de $Q_{(i)}$ et s'achève à $t = t_d + t_b$ instant où $I_{B(i+1)} = I_{C(i+1)} = 0$(points O et C sur la figure I-40).

En faisant le bilan des charges à l'entrée du transistor $Q_{(i+1)}$ au cours de cette phase de blocage on peut déterminer l'expression de t_b.

$$\int_o^{t_b} \left(I_{(o)} - \frac{It}{\tau}\right) dt = \left[(\tau_n + \tau_i)\, I_B + (1 - \alpha_i)\, I_C\right]_o^{t_b} + \int_o^{t_b} I_B\, dt$$

Nous ne disposons pas de l'expression de $I_B(t)$ mais le tracé représenté à la figure I-40 permet d'en déterminer une expression approchée qui conduit, après intégration sur la phase de blocage, à une bonne approximation.

Nous avons pris $I_B = I \left(1 - \left(\frac{t}{t_b}\right)^2\right)$

d'où

$$t_b\, I_{(o)} - \frac{It_b^2}{2} = -\left(\tau_n(1 - \alpha_i) + \tau_i\right) I + \frac{2}{3}\, I\, t_b$$

Remarque : Nous avons pris à $t = t_d$, origine des temps pour la phase de blocage, $I_B = I_C = I$. En réalité $I_{(o)}$ ne circule pas uniquement dans $C_{DE(i+1)}$ et $C_{DC(i+1)}$ et contribue à accroître I_B et I_C ; la prise en compte de cet accroissement n'apportant pas d'amélioration notable à la précision du calcul, nous l'avons négligé.

t_b est obtenu en résolvant l'équation précédente qui peut s'écrire :

$$t_b^2 - 2\tau \left(\frac{1}{3} + \frac{C_{TC}}{C}\right) t_b - 2\tau \left(\tau_n(2 - \alpha_i) + \tau_i\right) = 0$$

d'où

$$t_b = \tau \left(\frac{1}{3} + \frac{C_{TC}}{C}\right) + \sqrt{\tau^2 \left(\frac{1}{3} + \frac{C_{TC}}{C}\right)^2 + 2\tau \left(\tau_n(2 - \alpha_i) + \tau_i\right)}$$

soit

$$t_b \simeq 2{,}42 \text{ ns}$$

Pour que l'analyse de la commutation soit bien indépendante des résultats du calcul numérique il est nécessaire de déterminer la valeur de $V_{e(i)}$ à l'instant origine du calcul (point 0 de la figure I-40) ; en effet pour calculer la valeur de t_d on avait eu recours à la mesure de $\Delta V_{e(i)}$ sur la courbe calculée.

Faisons le bilan des courants apportés au transistor $Q_{(i+1)}$ en considérant que :

$$\frac{dV_{C'(i+2)}}{dt} = \frac{dV_{e(i+2)}}{dt}$$

$$I + I_{e(i+1)} = I_{E(i+1)} + I_{DE(i+1)} + (C_s + C_{TE} + C_{TC}) \frac{dVe(i+2)}{dt}$$

Soit t_E l'instant de coupure du courant d'émetteur de $Q_{(i+1)}$
On constate qu'entre $t = t_d$ et $t = t_E$:

$$\frac{dV_{e(i+2)}}{dt} \simeq 0$$

et que d'autre part, comme nous l'avons déjà dit :

$$\frac{dI_{E(i+1)}}{dt} = -\frac{dI_{e(i+1)}}{dt} = -\frac{1}{\tau}$$

et

$$I_{DE(i+1)} \simeq \tau_n \frac{dI_{E(i+1)}}{dt}$$

Il vient ainsi pour $t_d < t < t_E$:

$$I + I_{e(i+1)} = I_{E(i+1)} - \frac{\tau_n I}{\tau}$$

$$I\left(2 + \frac{C_{TC}}{C} - \frac{t}{\tau}\right) = I_{E(i+1)} - \frac{\tau_n I}{\tau}$$

d'où

$$t_E \text{ pour } I_{E(i+1)} = 0$$

$$t_E = \tau_n + \tau\left(2 + \frac{C_{TC}}{C}\right)$$

soit :

$$t_E \simeq 2 \text{ ns}$$

Pour $t_E < t < t_b$ on a :

$$I_{E(i+1)} = 0$$

et

$$\frac{dI_{E(i+1)}}{dt} = 0$$

Le schéma équivalent de la portion de l'anneau peut se représenter dans ces conditions comme indiqué à la figure I-46 :

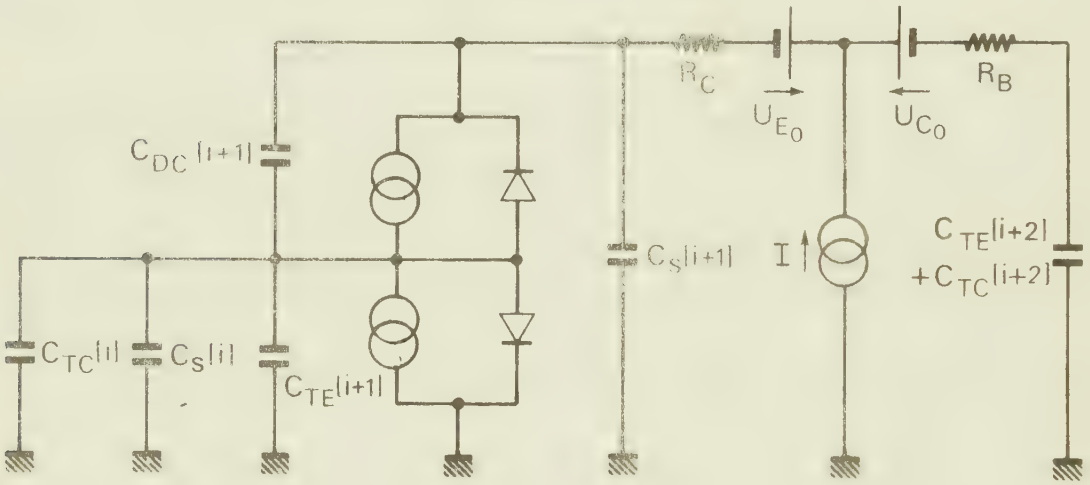


Fig.I_46

On remarque sur ce schéma :

- que $C_{DE} \simeq 0$ puisque $I_E = 0$
- que C_{DC} est encore grande puisque I_B est fini donc que $\frac{dV_{E(i)}}{dt} \simeq \frac{dV_{e(i+1)}}{dt}$ comme on peut le vérifier à la figure I-40
- Enfin que $C_{DC(i)}$ est encore négligeable alors que $C_{DE(i)}$ est grande.

Le bilan des charges conduit à écrire :

$$\int_{t_E}^{t_b} \left(I + I_{e(i+1)}\right) dt = 2(C_s + C_{TE} + C_{TC})\, \Delta V_{e(i+2)}$$

soit :

$$\int_{t_E}^{t_b} I \left(2 + \frac{C_{TC}}{C} - \frac{t}{\tau}\right) dt = 2\,(C_s + C_{TE} + C_{TC})\, \Delta V_{e(i+2)}$$

d'où

$$\Delta V_{e(i+2)} = \frac{I(t_b - t_E)}{2(C_s + C_{TE} + C_{TC})} \left\{ 2 + \frac{C_{TC}}{C} - \frac{(t_b + t_E)}{2\tau} \right\}$$

On trouve :

$$\Delta V_{e(i+2)} = - 223 \text{ mV}$$

On dispose ainsi de tous les éléments nécessaires au calcul analytique du temps de traversée θ du module logique, qui conduit au résultat suivant :

En linéarisant la montée de $V_{e(i)}$ on peut écrire :

$$t_d = \frac{V_\ell - \Delta V_{e(i)}}{\frac{dV_{e(i)}}{dt}}$$

où

V_ℓ est l'excursion logique qui s'exprime :

$$V_\ell \simeq U_T \text{ Log } \frac{I}{I_{Co}} + (R_B - R_C) I - U_T \text{ Log } \frac{\alpha_{np}}{\alpha_{ip}}$$

soit

$$V_\ell \simeq 660 \text{ mV}$$

$$\Delta V_{e(i)} = - 223 \text{ mV}$$

$$\frac{dV_{e(i)}}{dt} = \frac{I}{C_{TE} + C_s + 2C_{TC}}$$

d'où

$$t_d \simeq 1{,}45 \text{ ns}$$

On a déterminé $t_b = 2{,}42$ ns.

On en déduit :

$$\theta = \frac{t_d + t_b}{2} = 1{,}94 \text{ ns}$$

Nous avons calculé θ à partir des expressions analytiques, pour I variant de 1 mA à 10 mA. Nous avons reporté les points ainsi calculés sur la figure I-47 où est représentée la courbe tracée à partir des résultats du calcul numérique.

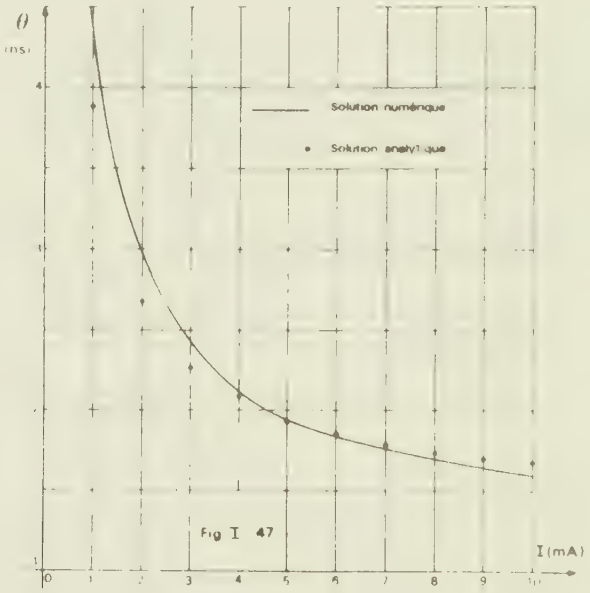


Fig I 47

On note que malgré les approximations dues aux linéarisations faites pour permettre le calcul analytique, celui-ci donne des résultats très proches de ceux du calcul numérique.

I-4-2-3 Comparaison des résultats

Les résultats du calcul du temps de traversée θ sont bien vérifiés par l'expérience pour les faibles valeurs de I, par contre dès que I dépasse 4 à 5 mA les calculs de θ conduisent à des valeurs trop faibles et ne font pas apparaître le minimum que l'on peut observer sur le relevé expérimental présenté à la figure I-39.

L'analyse de la commutation que nous avons faite au paragraphe précédent permet d'expliquer cette différence. Nous avons en effet montré que l'évacuation des charges stockées dans la base d'un transistor $Q_{(i)}$ se fait avec un courant croissant de pente constante $\frac{I}{\tau}$, phénomène que nous avons supposé exister pendant toute la phase de blo-

cage comme le montrent les courbes calculées de la figure I-40, tracées pour I = 5 mA.

Ceci suppose que le transistor $Q_{(i-1)}$ qui appelle le courant reste hors saturation pendant tout le temps t_b.

- Or l'expression de t_b que nous avons établie montre que t_b dépend de paramètres constants du transistor et de τ qui peut en première approximation être supposée constante.

- Par contre la pente de la tension de collecteur de $Q_{(i-1)}$ est égale à :

$$\frac{dV_{C'(i-1)}}{dt} = -\frac{I(R_B + R_C)}{\tau}$$

elle est donc proportionnelle à I et à $R_B + R_C$.

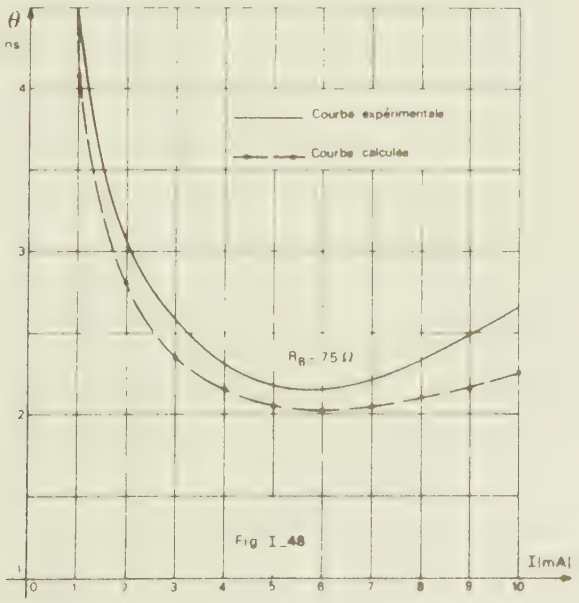
Ces deux remarques permettent de prévoir que $Q_{(i-1)}$ peut atteindre la saturation avant que les charges stockées ne soient évacuées de $Q_{(i)}$ et cela :

- sous l'effet d'un fort courant I lorsque $R_B + R_C$ est faible ; dans ce cas τ tend vers τ_n.

- Si $R_B + R_C$ est forte et dans ce cas pour les valeurs courantes de I.

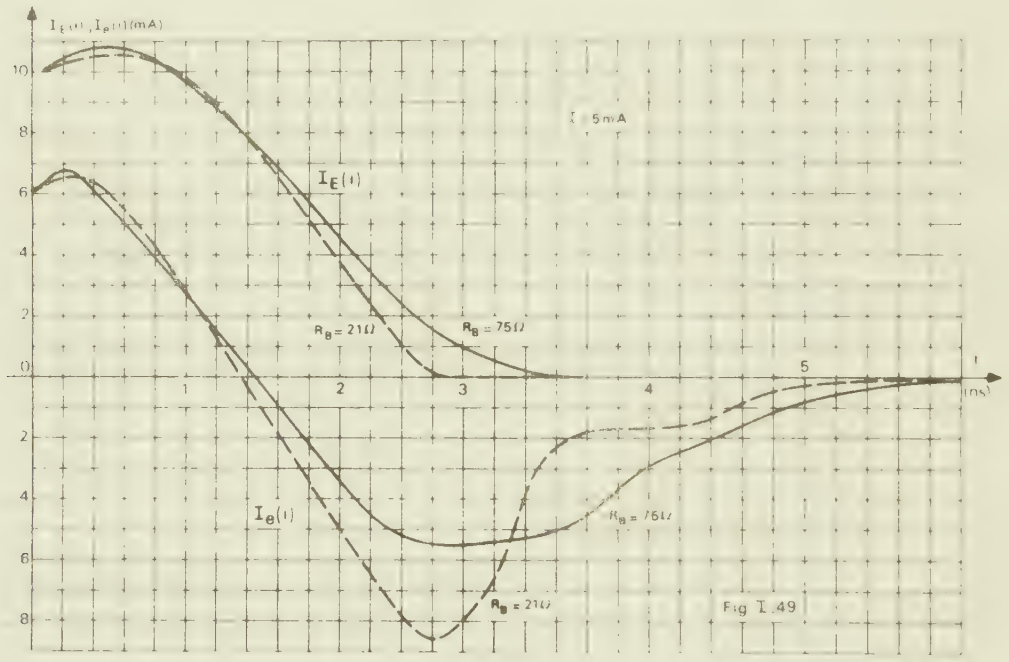
Si la saturation de $Q_{(i-1)}$ entre en jeu le courant de blocage de $Q_{(i)}$ reste constant et l'évacuation des charges restantes se fait donc moins rapidement, ce qui accroît la durée de la phase de blocage.

Nous avons tracé à la figure I-48 la courbe calculée $\theta(I)$ pour $R_B = 75\ \Omega$, ainsi que la courbe mesurée.



Pour cette valeur de R_B on observe bien un minimum de θ pour $I \simeq 6$ mA et on vérifie que les résultats du calcul sont beaucoup plus proches de l'expérience que ceux obtenus avec $R_B = 20\Omega$ présentés à la figure I-39 ; ce qui semble bien vérifier l'hypothèse d'entrée en saturation du transistor $Q_{(i-1)}$ au cours de la phase de blocage de $Q_{(i)}$.

Afin d'en avoir confirmation nous avons tracé à la figure I-49 la courbe $I_{e(i)}(t)$ pour $R_B = 20\ \Omega$ et celle pour $R_B = 75\Omega$ où l'on observe le palier de saturation.



Remarque : L'évolution des résultats du calcul de θ pour $R_B = 20\ \Omega$ à et $R_B = 75\ \Omega$ présentés aux figures I-39 et I-48 laisse prévoir qu'une amélioration des résultats pourrait être escomptée en prenant $R_B > 75\ \Omega$. Comme nous l'avons précisé en I-4-1-3 le choix de la valeur de R_B résulte d'un compromis entre la valeur de R_B à courant de base direct et inversé. Il est bien sûr possible de prendre pour R_B une expression fonction du courant qui la parcourt et qui conduirait à des valeurs de R_B inférieures à 20 Ω en direct et supérieures à 75 Ω en inverse. Nous avons préféré prendre une valeur constante pour R_B ce qui nous a permis d'accéder simplement aux phénomènes physiques par l'analyse de la commutation. Quant aux erreurs ainsi introduites on peut remarquer qu'elles ne sont importantes qu'au delà du minimum de I donc dans une zone correspondant à des conditions de fonctionnement que l'on ne retiendra pas en pratique en raison de l'importance du produit : temps de traversée. puissance dissipée.

I-4-3 Exploitation des résultats

Les résultats que nous avons obtenus et vérifiés ont confirmé la validité de la méthode de calcul développée, justifiant ainsi son utilisation pour la recherche des transistors les mieux appropriés au fonctionnement en T T L à bas niveau et pour l'étude du comportement du module selon les contraintes d'utilisation et la technologie choisie pour réaliser le circuit

I-4-3-1 Influence des paramètres du transistor inverseur sur le temps de traversée du module.

Les paramètres du transistor de porte n'interviennent pratiquement pas sur le comportement dynamique du module, par contre nous avons montré, par l'analyse de la commutation, l'influence directe des capacités du transistor inverseur et de ses paramètres R_B, τ_n et τ_i sur le temps de traversée θ.

Le temps de retard à la mise en conduction d'un inverseur $Q_{(i)}$ est directement fonction des capacités du transistor ce qui élimine toute possibilité de compromis.

Le temps de blocage se décompose en général en deux parties correspondant à :

- L'évacuation des charges stockées, qui se fait à courant croissant linéairement tant que le transistor inverseur amont $Q_{(i-1)}$ fonctionne hors saturation.

- L'évacuation des charges restantes après la saturation de $Q_{(i-1)}$ qui se fait à courant pratiquement constant.

Soit t_1 l'instant de la phase de blocage où $Q_{(i-1)}$ entre en saturation ; la quantité de charge évacuée à cet instant là est :

$$Q_1 = \int_0^{t_1} \frac{It}{\tau}\, dt$$

avec $$t_1 = \frac{\tau \Delta V_{C'}}{R_B I}$$

où $\Delta V_{C'}$ est l'excursion de tension sur le collecteur. On obtient ainsi :

$$Q_1 = \frac{\tau \Delta V_{C'}^2}{2 R_B^2 I}$$

Pour la valeur I du courant commuté la charge stockée a pour expression :

$$Q_s \simeq I\,(2\,\tau_n + \tau_i),$$

La charge restant à évacuer après la mise en saturation de $Q_{(i-1)}$ est d'autant plus grande, et le temps de blocage de $Q_{(i)}$ d'autant plus long, que Q_1 sera faible donc que R_B est grande et τ_n est faible.

On a donc intérêt à ce que R_B soit aussi faible que possible.

Par contre le fait que τ donc τ_n soit faible n'est pas un critère de choix du transistor inverseur pour lequel on pourra admettre τ_n, donc une fréquence de coupure, modeste mais qui devra par contre avoir Q_s donc τ_i aussi faible que possible.

Pour vérifier ces conclusions nous avons étudié le comportement en T T L bas niveau d'un transistor performant en petits signaux tel que le 2N 918 dont les valeurs des paramètres sont consignées au tableau de la figure I-50.

τ_n	$= 0{,}45.10^{-9}$ s	α_n	$= 0{,}99$
τ_i	$= 25.10^{-9}$ s	$V_{C'E'sat}$	$= 0{,}036$ V
R_B	$= 70\ \Omega$	$V_{B'E'sat}$	$= 0{,}840$ V
R_C	$= 6\ \Omega$	α_i	$= 0{,}387$
C_{TE}	$= 1{,}6.10^{-12}$ F	I_{EO}	$= 2{,}37.10^{-17}$ A
C_{TC}	$= 2{,}6\ 10^{-12}$ F	I_{CO}	$= 6{,}05.10^{-17}$ A
C_s	$= 1{,}4.10^{-12}$ F		

Fig. I-50

Le calcul numérique donne un temps de traversée :

$\theta = 10{,}2$ ns

résultat que l'on retrouve sur l'oscillogramme $V_{e(t)}$ relevé sur un anneau de 5 modules équipés d'inverseurs 2N 918, présenté à la figure I-51.

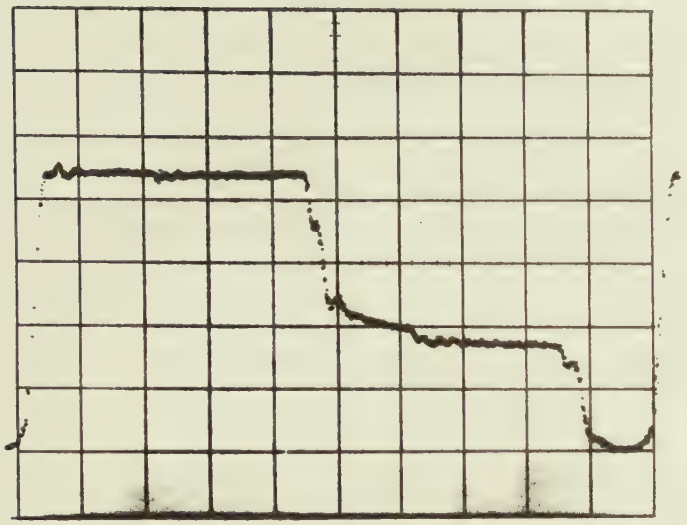


Fig. I-51

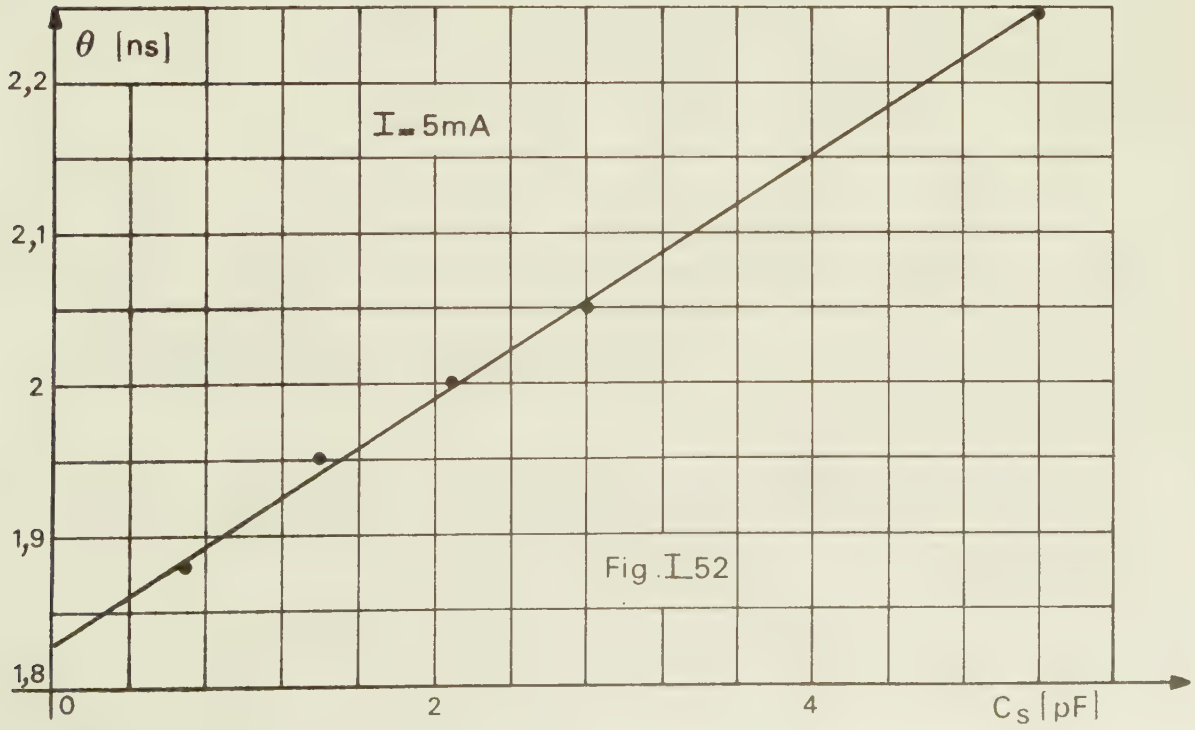
Oscilloscope
TEKTRONIX 561
Sondes P 6051

Vertical : 250 mV/carreau
Horizontal : 10 ns/carreau

I-4-3-2 Influence de la charge en sortie du module

I-4-3-2-1 Cas d'une charge capacitive

Nous avons utilisé le programme de calcul pour déterminer l'influence d'une charge purement capacitive sur le temps de traversée θ du module. Cette charge vient en parallèle sur la capacité C_s. Nous présentons les résultats ainsi obtenus sous forme de la courbe $\theta = f(C_s)$ de la figure I-52.



On observe sur cette courbe un accroissement de θ linéaire en fonction de C_s.

Les expressions du temps de traversée montrent que :

C_s n'intervient pas sur t_b puisque le courant de blocage $I_{e(i)}$ est indépendant de C_s.

Cependant, si le courant fourni par C_s tel que :

$$I_{C(i-1)} = I_{e(i)} + I_{Cs}$$

est cause de la mise en saturation de $Q_{(i-1)}$ avant le blocage de $Q_{(i)}$ on retrouve le phénomène que nous avons expliqué en I-4-3-1 et qui se traduit par un accroissement de θ.

Pour que le courant de I_{Cs} ait une influence sensible sur la saturation de $Q_{(i-1)}$ on peut évaluer sa valeur à :

$$I_{Cs} = I$$

ce qui correspond, dans le cas de $R_b = 75\ \Omega$, à :

$$C_s = \frac{\tau}{R_B + R_C} \simeq 8\ pF$$

Si en dehors de ce cas particulier du fonctionnement, C_s n'a pratiquement pas d'influence sur t_b ; par contre son influence sur t_d est directe,

On a établi l'expression de t_d :

$$t_d = \frac{V_\ell + |\Delta V_e|}{I} C$$

où

$$\Delta V_e = \frac{I\,(t_b - t_E)}{2\,(C - C_{TC})} \left(2 + \frac{C_{TC}}{C} - \frac{t_b + t_E}{2\tau} \right)$$

avec

$$C = (C_s + C_{TE} + 2C_{TC})$$

On voit que ΔV_e est d'autant plus faible que C_s est grande ; donc pour les valeurs importantes de C_s, t_d ne dépendra plus que de C donc de C_s.

On a tracé à la figure I-53 la courbe $|\Delta V_e| = f(C_s)$

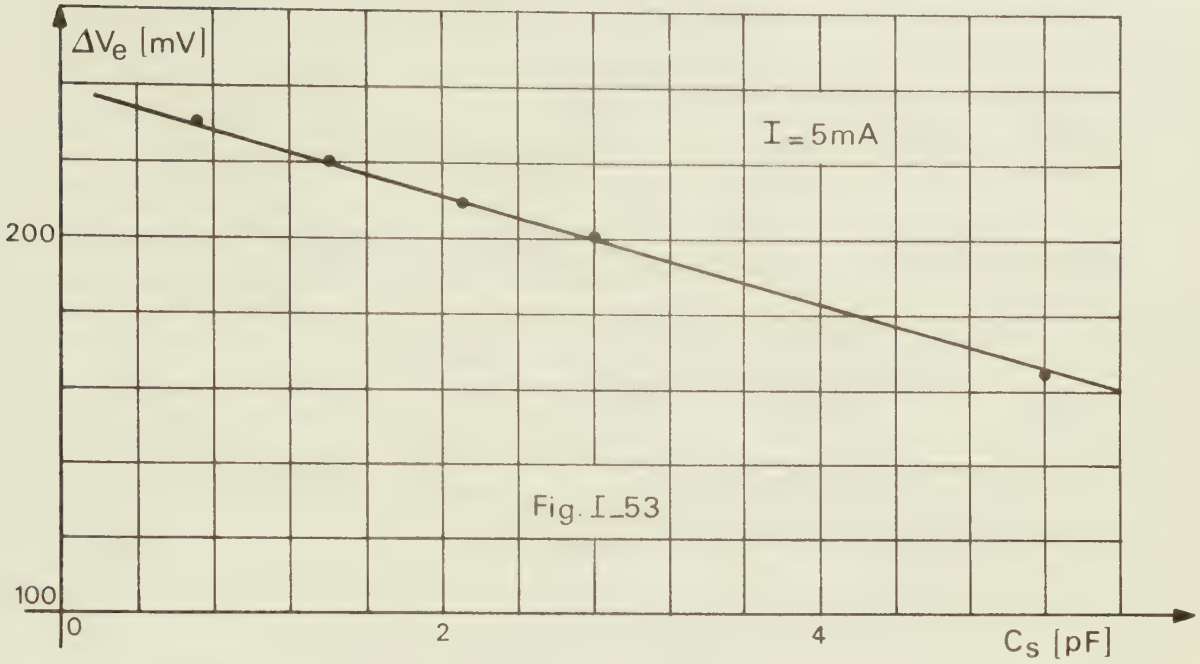
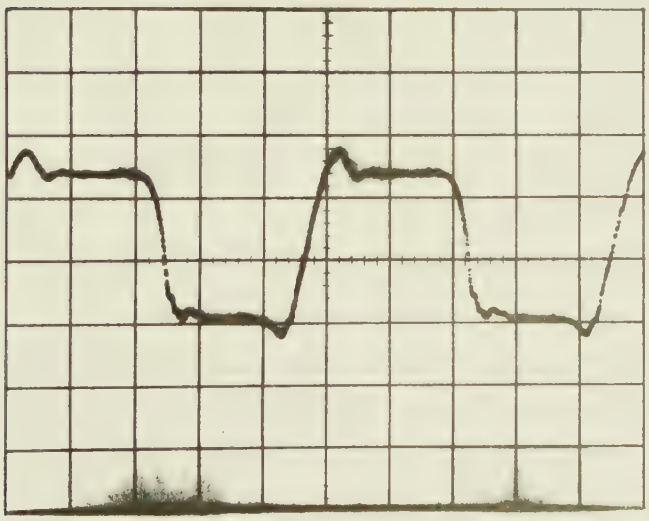


Fig. I_53

Enfin à la figure I-54 on présente l'oscillogramme $V_e(t)$ prélevé en un point d'un anneau équipé de transistors inverseurs 2N 709, chaque étage étant chargé par une capacité additionnelle de 27 pF



Oscilloscope TEKTRONIX 561
Sondes P 6051
Verticale : 250 mV/carreau
Horizontale : 10 ns/carreau

Fig. I-54

On mesure un temps de traversée :

$\theta' = 5$ ns

Le temps de traversée est défini par :

$$\theta' = \frac{t'_d + t'_b}{2}$$

avec $t'_d \simeq \frac{CV_\ell}{I} \simeq 5$ ns

soit une augmentation de

$t'_d - t_d \simeq 3$ ns

de la valeur de θ' et de t'_d on déduit $t'_b \simeq 5$ ns

soit une augmentation de

$t'_b - t_b \simeq 2{,}5$ ns

Pour cette valeur de C_s les deux phénomènes que nous avons indiqués se produisent simultanément.

I-4-3-2-2 Cas d'une charge active.

En pratique au niveau du circuit la charge d'un module est constituée par les entrées des modules qu'il commande. Les expressions des temps de commutation permettent dans ce cas de prévoir l'influence du fan-out sur le temps de retard.

L'expression de t_d s'écrit dans le cas d'un module chargé par n modules identiques :

$$t''_d = \frac{C_s + C_{TC} + n\,(C_{TE} + C_{TC})}{nI}\,(V_\ell + |\Delta V''_e|)$$

$\Delta V''_e$ étant au plus égal à ΔV_e, t''_d reste toujours inférieur à t_d.

On a tracé aux figures I-55 et I-56 les oscillogrammes de $V_c(t)$ d'un anneau équipé de transistors 2N 709 avec, dans le premier cas, une charge unité (n=1) en aval du point de test et dans le second cas une charge constituée par 4 étages identiques (n = 4).

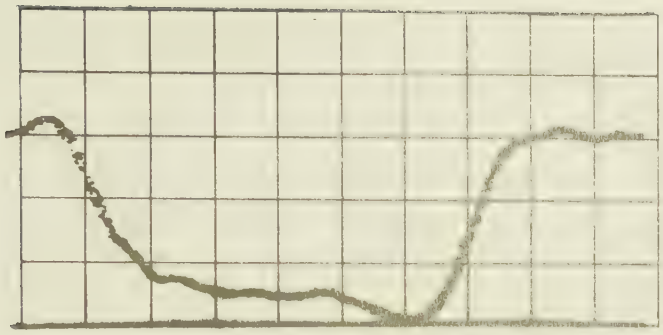


Fig. I-55

Oscilloscope TEKTRONIX 561
Sondes P 6051

Vertical : 250 mV/carreau
Horizontal : 2 ns/carreau

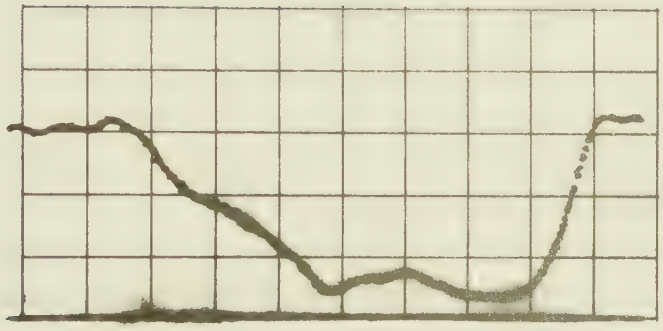


Fig. I-56

On observe bien sur l'oscillogramme de la figure I-56, l'accélération de la montée du signal $V_C(t)$.

Le blocage des n transistors de type $Q_{(i)}$ s'effectue sous l'effet du courant appelé par le transistor $Q_{(i-1)}$ selon le schéma simplifié de la figure I-57.

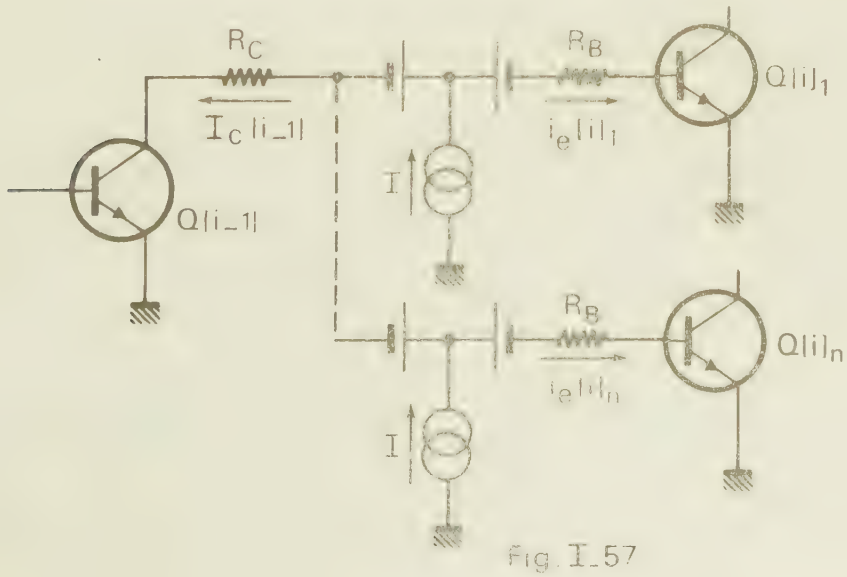


Fig. I-57

Chaque transistor de type $Q_{(i-1)}$ est soumis à un courant :

$$I_{e(i)} = I - \frac{It}{n\tau}$$

La pente de décroissance de $V_{C(i-1)}$ est maintenant

$$\frac{dV_{C(i-1)}}{dt} = -\frac{I}{\tau}\left(R_C + \frac{R_B}{n}\right)$$

Cette pente est donc pratiquement divisée par n ; donc $Q_{(i-1)}$ entrera en saturation à $t'_1 = n\,t_1 = n\tau\,\Delta V_C/R_B I$ en supposant ΔV_C constant et chaque transistor aura évacué en un temps t'_1 la quantité de charges Q_1 identique à celle qu'il évacue en t_1 lorsque la charge est unique.

En réalité le courant de collecteur de $Q_{(i-1)}$ est de la forme :

$$I_{C(i-1)} = n\,(I - I_{e(i)})$$

il serait donc à $t = t'_1$, n fois supérieur à sa valeur à $t = t_1$ (cas de la charge unité). $Q_{(i-1)}$ entre alors en saturation pour une tension de saturation supérieure , cette mise en saturation empêchant la phase de blocage de se dérouler comme indiqué jusqu'à $t = t'_1$.

L'effet de cette mise en saturation de Q'_1 au cours de la phase de blocage est bien visible sur l'oscillogramme de la figure I-56 où l'on vérifie bien que la pente initiale de décroissance de $V_{C(i-1)}$ est plus faible que dans le cas d'une charge unité (I-55) et qu'elle présente la cassure correspondant à la mise en saturation à un niveau supérieur (500 mV au lieu de 200 mV).

A la figure I-58 on présente la courbe donnant l'évolution du temps de traversée en fonction du nombre d'étages en charge du module.

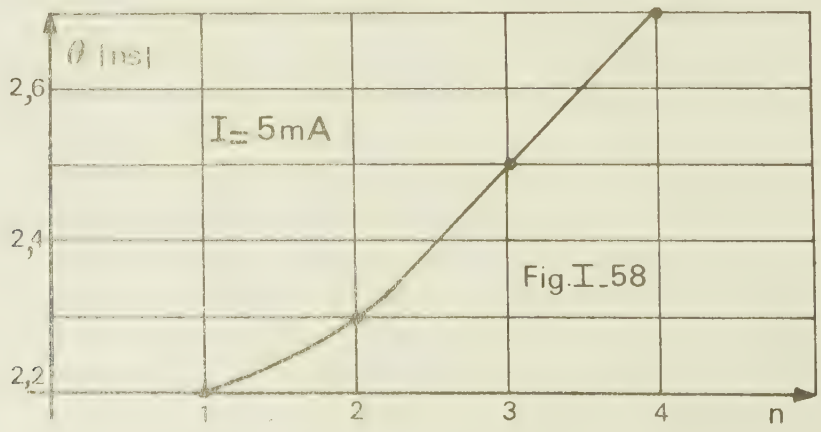


Fig.I-58

I-4-3-3 Influence de la technologie de réalisation du circuit

Tout au long de l'étude dynamique on a pu noter l'importance des capacités des transistors inverseurs.

Les valeurs des capacités de diffusion sont directement liées à τ_n et τ_i donc au choix du transistor inverseur.

Les capacités de transition, que nous avons supposées constantes en raison de la faible valeur de l'excursion logique, englobent les capacités parasites ; il en est de même pour C_s.

L'encapsulation des composants et leur implantation sur le circuit ont un rôle déterminant sur les valeurs de ces capacités et influent sur le temps de traversée du module.

On est donc amené dans le but de diminuer θ à rechercher le mode de réalisation qui minimise les capacités parasites.

Les conclusions d'études faites dans cette optique (22) ; (23) se rejoignent sur la technologie hybride à couches épaisses.

L'utilisation de transistors en "chips" et des interconnexions or sur substrat conduit à une diminution des capacités parasites de l'ordre de la moitié de leur valeur en composants et cablâge conventionnels (24)

Nous avons donc introduit dans le programme de calcul du temps de traversée d'un module équipé d'inverseurs 2N 709 les nouvelles valeurs des capacités.

$$C'_{TE} = 1{,}5 \text{ pF}$$

$$C'_{TC} = 1{,}9 \text{ pF}$$

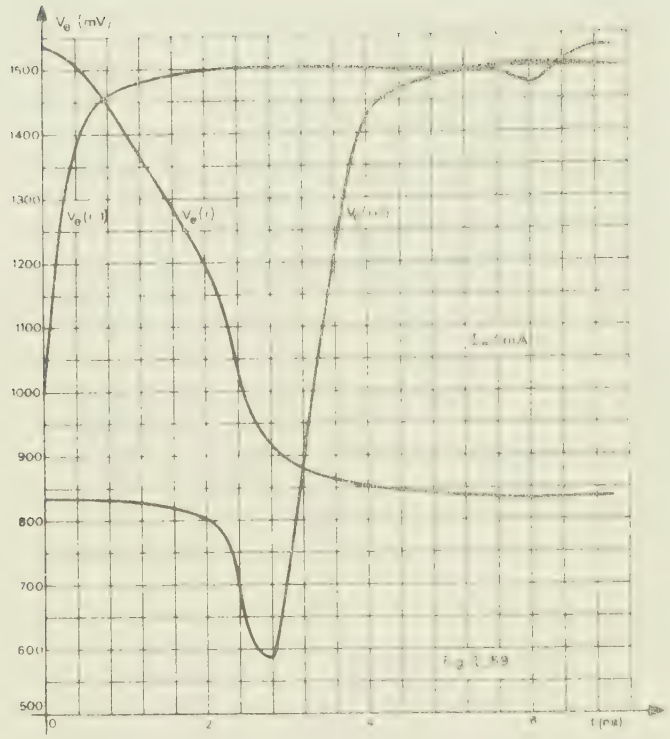
$$C'_{S} = 0{,}7 \text{ pF}$$

On obtient ainsi le tracé des formes d'ondes calculées $V_e(t)$ représenté à la figure I-59 où l'on peut remarquer que l'amplitude du pic négatif est accrue, phénomène que nous avons déjà signalé comme étant dû à la diminution de C_s.

Le temps de traversée ainsi calculé est :

$\theta = 1{,}75$ ns

soit une diminution de 10 % par rapport au circuit conventionnel.



La photographie d'un anneau de 5 modules, est donnée à la figure I-60 à l'échelle 1. Le temps de traversée mesuré est de 1,8 ns.

Fig. I-60

Les calculs ont été faits en supposant le courant I commuté constant et fourni à partir d'une tension d'alimentation de 5 V. Pour la valeur optimale de I, soit 5 mA, la puissance dissipée par module est donc de 25 mW.

Afin de réduire cette puissance nous avons étudié un circuit d'alimentation, générateur de courant, dont le schéma est représenté à la figure I-61.

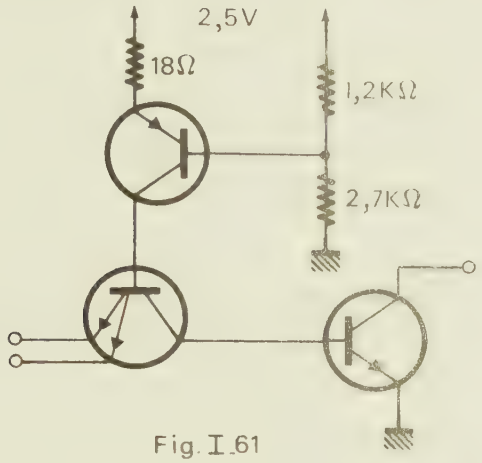


Fig. I.61

Ce circuit permet l'alimentation de l'ensemble sous 2,5 V, la puissance dissipée par module est alors de 14 mW. Ce qui correspond, pour une réalisation en technologie hybride à couches épaisses, à un produit P. $\theta \underline{\sim}$ 25 mW. ns.

Nous avons situé ce circuit, parmi ceux des autres technologies selon la représentation graphique de la figure I-62 (d'après Texas-Instruments) où l'on donne pour chacun d'eux θ en fonction de P.

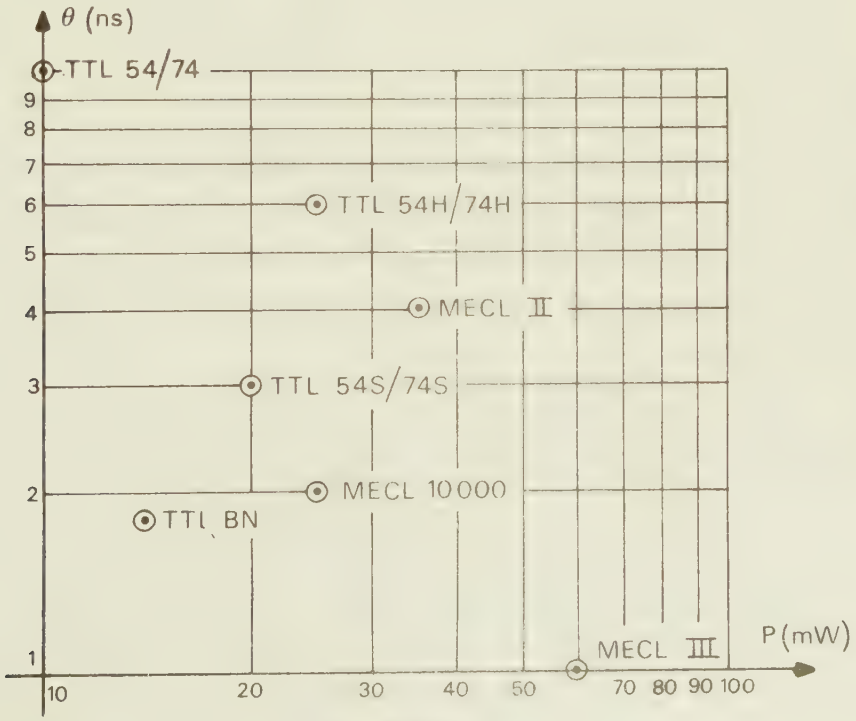


Fig. I.62

I-4-4 Conclusion

Nous avons entrepris l'étude du régime dynamique du module T T L avec le soucis d'en dégager les éléments du circuit qui ont une action essentielle sur le temps de traversée.

Dans ce but nous avons utilisé un modèle du transistor aussi simplifié que possible et dont les paramètres sont constants ce qui nous a permis d'apprécier la part de chacun d'eux dans le processus de commutation.

Malgré ces simplifications, les résultats que nous avons obtenus ont été vérifiés par l'expérience avec une très bonne précision dans la plupart des cas.

Disposant ainsi de renseignements, nombreux et précis sur la commutation du module nous avons pu en aborder l'analyse fractionnée et justifier certaines approximations par linéarisation qui nous ont permis d'établir des expressions relativement simples des durées des différentes phases.

On a pu ainsi faire apparaître l'origine de l'optimum du temps de traversée θ en fonction du courant I commuté.

Cet optimum est dû au fait que dans certaines conditions de fonctionnement un transistor inverseur peut entrer en saturation avant que le transistor inverseur aval ne soit bloqué.

Nous avons montré l'influence, sur ces conditions de fonctionnement, du courant commuté I et des paramètres τ_n, τ_i et R_B du transistor inverseur.

Nous avons vu notamment que le temps de traversée du module et lié aux valeurs relatives de τ_n et de τ_i ce qui apporte une explication théorique aux enseignements que nous avions tiré de la pratique quant à l'aptitude de certains types de transistors à fonctionner en T I L à bas niveau.

Pour que cette étude soit tout à fait générale elle devra être complétée par l'analyse de l'évacuation de la charge stockée résiduelle d'un inverseur par l'inverseur amont saturé.

En effet, si nous disposons de la solution numérique, nous n'avons par contre tiré de l'étude analytique que des informations qualitatives en raison de l'impossibilité de linéariser les évolutions des phénomènes dans cette phase de la commutation.

Enfin, nous avons exploité ces méthodes de calcul pour étudier l'influence des contraintes d'utilisation et de la technologie de réalisa-

A-I ANNEXE A LA PREMIERE PARTIE

MODELE DU TRANSISTOR UTILISE POUR L'ANALYSE DES CIRCUITS DE COMMUTATION

A-I-1 MODELE D'EBERS ET MOLL

Les études comparatives des modèles des transistors (6),(19) montrent que le modèle d'Ebers et Moll qui représente bien le comportement électrique du transistor quel qu'en soit le régime de fonctionnement, constitue un compromis intéressant entre les impératifs que sont : la possibilité d'accès aux paramètres par la mesure, la précision de la simulation dans le domaine d'utilisation et un temps de calcul réduit.

Le modèle d'Ebers et Moll le plus simple, valable en régime statique, est directement déduit des relations entre les courants et les tensions aux bornes des jonctions. Pour un transistor N P N et avec les conventions de signe précisées sur le schéma de la figure A-I-1-a- ces relations s'écrivent :

$$I_C = \alpha_n I_{eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) - I_{co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)$$

$$I_E = I_{eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) - \alpha_i I_{co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)$$

où :

α_n est le gain direct du transistor en base commune
α_i est le gain inverse du transistor en base commune

$U_T = \frac{kT}{q}$ avec :

k constante de Boltzmann
T température absolue
q charge de l'électron

Ces expressions peuvent se mettre sous la forme :

$$I_C = \alpha_n I_{D1} - I_{D2}$$

$$I_E = I_{D1} - \alpha_i I_{D2}$$

où :

$I_{D1} = I_{eo} (\exp \frac{V_{BE}}{U_T} - 1)$ est le courant d'une diode idéale placée entre B et E

$I_{D2} = I_{co} (\exp \frac{V_{BC}}{U_T} - 1)$ est le courant d'une diode idéale placée entre B et C.

I_{eo} et I_{co} sont les courants inverses de saturation de ces diodes idéales.

On peut donc représenter le modèle du transistor selon le schéma de la figure A-I-1-b.

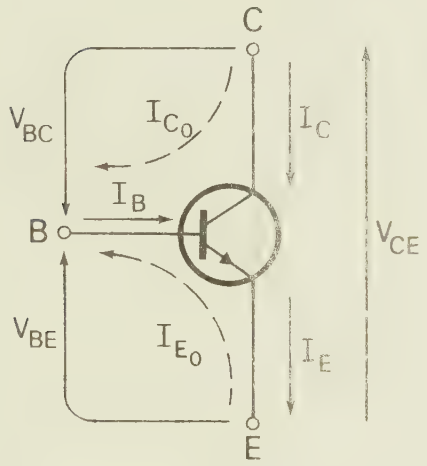


Fig. A_I_1a

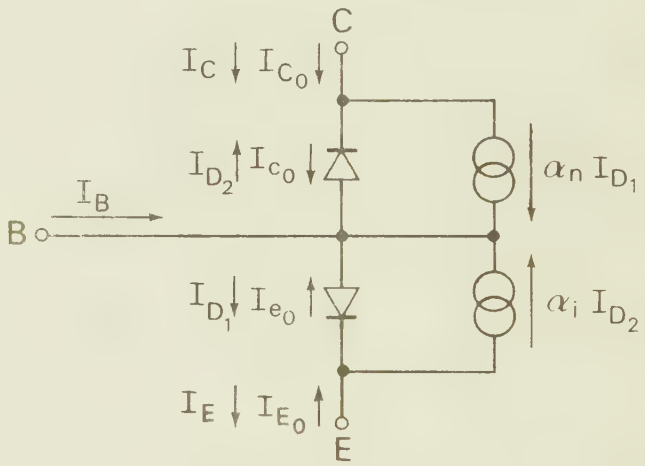


Fig. A_I_1b

I_{D1} et I_{D2} s'expriment en fonction des courants de connexion du transistor :

$$I_{D1} = \frac{I_E - \alpha_i I_C}{1 - \alpha_n \alpha_i}$$

$$I_{D2} = \frac{\alpha_n I_E - I_C}{1 - \alpha_n \alpha_i}$$

De même on peut écrire :

$$I_C = \alpha_n I_E - (1 - \alpha_n \alpha_i) I_{co} (\exp \frac{V_{BC}}{U_T} - 1)$$

$$I_E = \alpha_i I_C + (1 - \alpha_n \alpha_i) I_{eo} (\exp \frac{V_{BE}}{U_T} - 1)$$

Dans ces expressions I_{co} et I_{eo} sont les courants de fuite des diodes idéales du modèle. Ils doivent respectivement être mesurés à $V_{BE} = 0$ et $V_{BC} = 0$. On mesure habituellement I_{Co} et I_{Eo} qui sont les courants inverses de connexion du transistor respectivement à émetteur et à collecteur ouvert. Il est facile de montrer en se reportant au schéma de la figure A-I-1-b que l'on a :

$$I_{Eo} = I_{eo} (1 - \alpha_n \alpha_i)$$

$$I_{Co} = I_{co} (1 - \alpha_n \alpha_i)$$

Compte tenu de ces deux relations les expressions des courants de collecteur et d'émetteur s'écrivent :

$$I_C = \alpha_n I_E - I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right) \qquad \text{A-I-1}$$

$$I_E = \alpha_i I_C + I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) \qquad \text{A-I-2}$$

On dispose de plus de la relation liant : I_{Eo}, I_{Co}, α_n et α_i:

$$\alpha_n I_{Eo} = \alpha_i I_{Co} \qquad \text{A-I-3}$$

et de l'équation au noeud qui s'écrit :

$$I_E = I_C + I_B \qquad \text{A-I-4}$$

A partir de ces quatre relations on calcule :

$$V_{BE} = U_T \text{ Log } \frac{I_B + (1 - \alpha_i) I_C + I_{Eo}}{I_{Eo}} \qquad \text{A-I-5}$$

$$V_{BC} = U_T \text{ Log } \frac{\alpha_n I_B + I_C (\alpha_n - 1) + I_{Co}}{I_{Co}} \qquad \text{A-I-6}$$

De ces deux relations on déduit :

$$V_{CE} = U_T \text{ Log } \frac{\alpha_n}{\alpha_i} \frac{I_B + (1 - \alpha_i) I_C + I_{Eo}}{\alpha_n I_B + (\alpha_n - 1) I_C + I_{Co}} \qquad \text{A-I-7}$$

Il sera parfois intéressant d'utiliser les expressions initiales, solutions de l'équation de continuité, qui s'écrivent compte tenu de la définition de I_{Co} et de I_{Eo} et de l'équation au noeud :

$$I_C = \frac{\alpha_n I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) - I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i} \qquad \text{A-I-8}$$

$$I_E = \frac{I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) - \alpha_i I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i} \qquad \text{A-I-9}$$

$$I_B = \frac{(1-\alpha_n) I_{Eo} \left(\exp \frac{V_{BE}}{U_T} - 1\right) + (1-\alpha_i) I_{Co} \left(\exp \frac{V_{BC}}{U_T} - 1\right)}{1 - \alpha_n \alpha_i} \qquad \text{A-I-10}$$

Enfin de A-I-5 on tire I_B qui s'écrit :

$$I_B = \frac{I_{Eo} \exp \left(\frac{V_{BE}}{U_T} - 1\right)}{1 + \beta_n (1 - \alpha_i)} \qquad \text{A-I-11}$$

et de A-I-7, l'expression simplifiée du gain en courant β:

$$\beta = \frac{I_C}{I_B} = \beta_n \frac{\exp \frac{V_{CE}}{U_T} - \frac{1}{\alpha_i}}{\exp \frac{V_{CE}}{U_T} + \frac{\beta_n}{\beta_i}} \qquad \text{A-I-12}$$

Ces équations et le modèle qui en découle décrivent le comportement en régime statique d'un transistor idéal. Pour mieux approcher la représentation d'un transistor réel une amélioration importante, bien que simple, peut être apportée à ce modèle en lui ajoutant des résistances qui figurent les résistances réparties des zones passives du semiconducteur. On établit ainsi le schéma de la figure A-I-2.

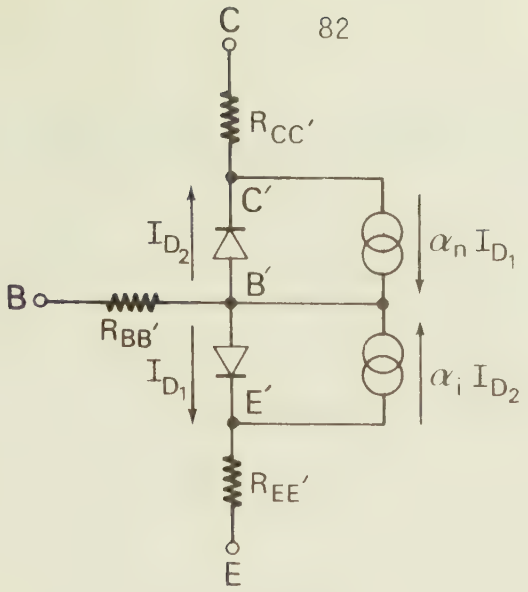


Fig. A_I_2

Le fonctionnement dynamique du transistor peut être représenté par le modèle d'Ebers et Moll à condition de le compléter avec des condensateurs qui figurent les capacités des jonctions. On distingue les capacités de diffusion C_D des capacités de transition C_T. On établit ainsi le schéma de la figure A-I-3.

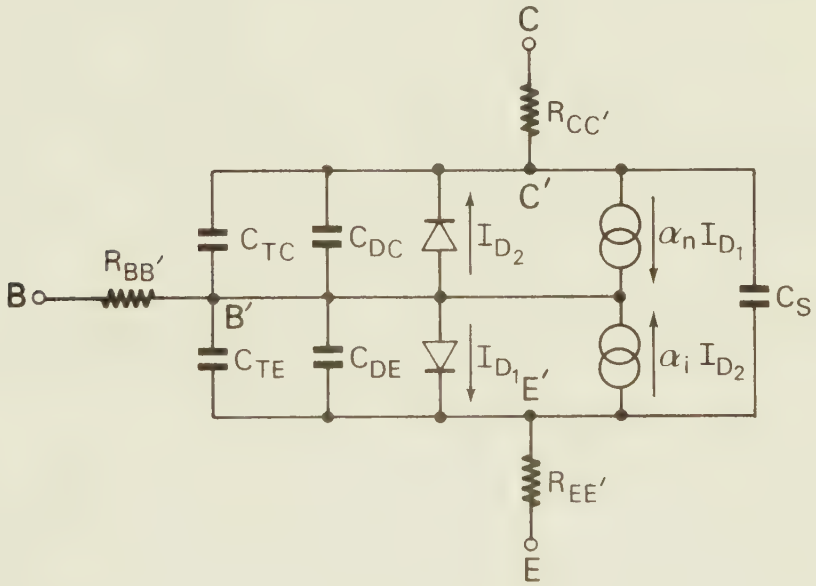


Fig. A_I_3

Le schéma ainsi obtenu est celui du modèle IMAG. (20) . Les grandeurs de certains des paramètres sont données par les fabricants de transistors, les autres sont obtenues par la mesure. A titre d'exemple nous décrivons aux deux prochains paragraphes les méthodes de détermination des résistances réparties et des capacités des jonctions dans les domaines de fonctionnement qui sont ceux des transistors du circuit T T L bas niveau.

A-I-2 DETERMINATION DES RESISTANCES REPARTIES D'UN TRANSISTOR SATURE

Pour l'étude du module T T L bas niveau une bonne représentation des transistors en régime de saturation est particulièrement importante. En effet, comme on l'a montré en I-2-2, ce domaine de fonctionnement est celui du transistor de porte ; c'est aussi celui du transistor inverseur lorsque la sortie du module est au niveau bas. C'est pourquoi nous présentons ici les méthodes que nous avons utilisées pour déterminer les résistances réparties d'un transistor saturé.

A-I-2-1 Expression des tensions aux bornes des jonctions

A-I-2-1-1 Expression de la tension base-émetteur

En se reportant au schéma de la figure A-I-2 on peut écrire :

$$V_{BE} = R_E\ I_B + R_E\ I_C + U_T \text{ Log } (I_B + (1 - \alpha_i)\ I_C + I_{Eo}) - U_T \text{ Log } I_{Eo}$$

Considérons un transistor saturé par un courant constant I_B et dont le courant de collecteur est nul : $I_C = 0$. Dans ce cas la relation précédente s'écrit :

$$V_{BEo} = (R_B + R_E)\ I_B + U_T \text{ Log } (I_B + I_{Eo}) - U_T \text{ Log } I_{Eo}$$

On peut donc écrire

$$V_{BE} = V_{BEo} + U_T \text{ Log } (I_B + (1 - \alpha_i)\ I_C + I_{Eo}) - U_T \text{ Log } (I_B + I_{Eo}) + R_E\ I_C$$

En remarquant que I_B sera toujours très supérieur à I_{Eo} et que : $\beta_i = \dfrac{\alpha_i}{1 - \alpha_i}$ Cette relation s'écrit :

$$V_{BE} = V_{BEo} + U_T \text{ Log } \left\{1 + \frac{1}{1 + \beta_i} \cdot \frac{I_C}{I_B}\right\} + R_E\ I_C \qquad \text{A-I-13}$$

A-I-2-1-2 Expression de la tension base-collecteur

A partir de la relation initiale :

$$V_{BC} = R_B I_B - R_C I_C + U_T \text{Log}\left(\frac{\alpha_n I_B + I_C (\alpha_n - 1) + I_{Co}}{I_{Co}} \right)$$

et avec le même raisonnement que précédemment on obtient :

$$V_{BC} = V_{BCo} + U_T \text{Log} \left((\alpha_n - 1) \frac{I_E}{I_B} + 1 \right) - R_C I_E$$

relation que l'on peut écrire en fonction de β_n :

$$V_{BC} = V_{BCo} + U_T \text{Log} \left(\frac{\beta_n - \frac{I_C}{I_B}}{1 + \beta_n} \right) - R_C I_E \qquad \text{A-I-14}$$

A-I-2-1-3 Expression de la tension collecteur émetteur

On obtient V_{CE} en faisant $V_{CE} = V_{BE} - V_{BC}$

Soit à partir de A-I-12 et de A-I-13

$$V_{CE} = V_{BEo} - V_{BCo} + U_T \text{Log} \left(1 + \frac{1}{1 + \beta_i} \cdot \frac{I_C}{I_B}\right) \left(\frac{1 + \beta_n}{\beta_n - \frac{I_C}{I_B}}\right) + R_E I_C + R_C I_E$$

En négligeant I_{Co} et I_{Eo} devant I_B et en utilisant la relation A-I-3 l'équation précédente peut s'écrire :

$$V_{CE} = U_T \text{Log} \frac{\beta_n}{\beta_i} \frac{1 + \beta_i \frac{I_C}{I_B}}{\beta_n - \frac{I_C}{I_B}} + R_E I_B + (R_E + R_C) I_C \qquad \text{A-I-15}$$

A-I-2-2 Détermination de la résistance répartie d'émetteur R_E

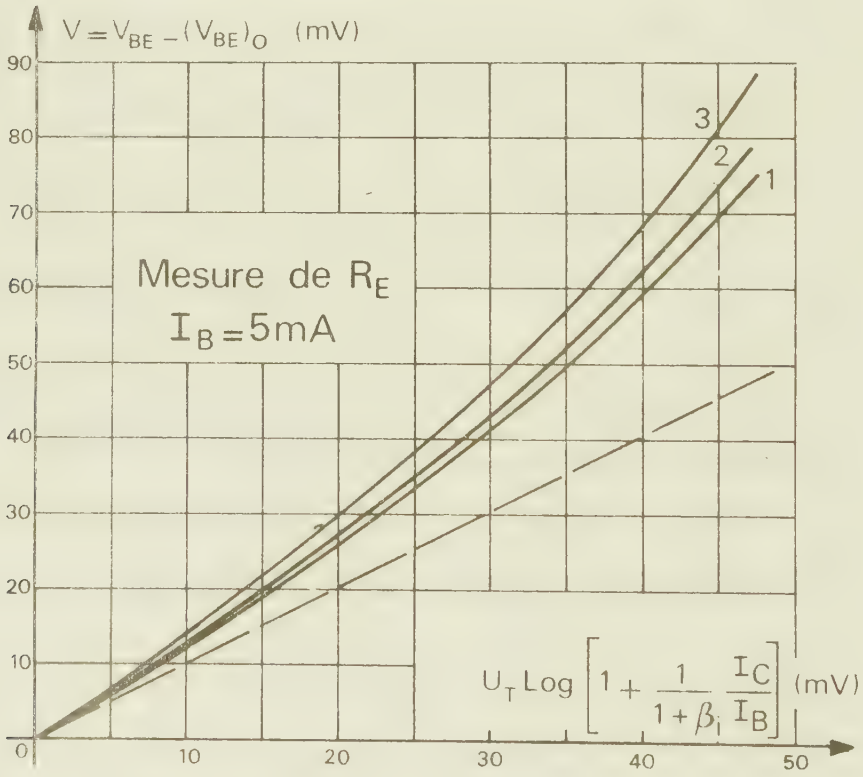
Considérons un transistor saturé par un courant de base constant I_{B1} que nous prendrons égal à 5 mA.

Traçons dans le réseau V, U_T Log $(1 + \frac{1}{1+\beta_i} \cdot \frac{I_C}{I_{B1}})$ les courbes définies par A-I-12 pour différentes valeurs de I_C.

$$V = V_{BE} - V_{BEo} = U_T \text{ Log}(1 + \frac{1}{1+\beta_i} \cdot \frac{I_C}{I_{B1}}) + R_E I_C$$

Si $R_E = 0$ nous obtenons une droite de pente + 1. Pour une valeur de I_C donnée l'écart entre l'ordonnée de la courbe et celle de la droite est égal à $R_E I_C$ on en déduit dont la valeur de R_E.

A la figure A-I-4 sont présentés les courbes et les résultats concernant des transistors de type 2 N 3607. Les résistances réparties d'émetteurs pour un lot de ces transistors sont de l'ordre de 1 ohm.



I_E (mA)	R_E (Ω)		
	T_1	T_2	T_3
10	0,92	1,22	2,0
20	0,89	1,12	1,90
30	0,87	1,10	1,85

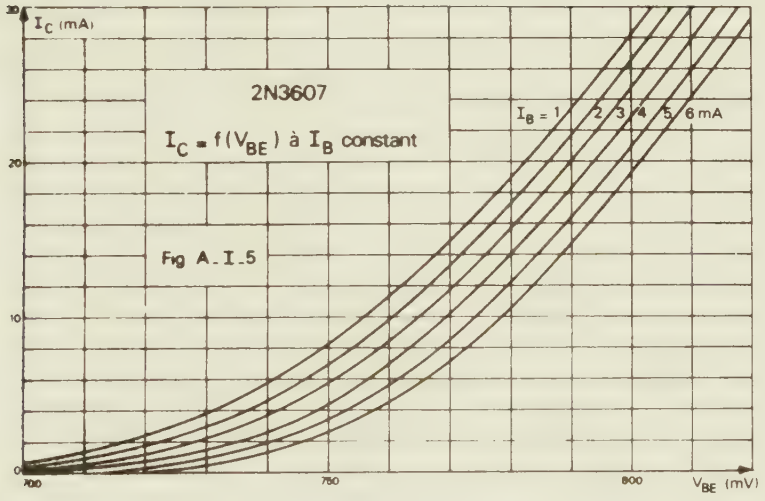
Remarque : L'équation A-I-12 peut être exploitée d'une façon différente pour le calcul de R_E : Dérivons A-I-12 par rapport à I_C, I_B restant constant. On obtient :

$$\left(\frac{\delta V_{BE}}{\delta I_C}\right)_{\Delta I_B = 0} = \frac{U_T}{(1 + \beta_i)\, I_B + I_C} + R_E$$

La suite de notre étude montrera que le principal critère de qualité pour les transistors qui équipent le module T2L bas niveau est $\beta_i << 1$. Si nous faisons cette hypothèse ici, il vient :

$$\left(\frac{\delta V_{BE}}{\delta I_C}\right)_{\Delta I_B = 0} \simeq R_E + \frac{U_T}{I_E}$$ expression qui permet d'obtenir la valeur

de R_E par mesure de la tangente en un point des courbes $I_C = f(V_{BE})$ à I_B constant représentées à la figure A-I-5.



On mesure ainsi $R_E \simeq 1{,}5\Omega$ pour $I_C = 20$ mA.

A-I-2-3 Détermination de la résistance répartie de base R_B

En remplaçant dans la relation A-I-12, V_{BEo} par son expression il vient :

$$V_{BE} = (R_B + R_C)\ I_B + U_T\ \text{Log}\ \frac{(1 + \beta_i)\ I_B + I_C}{(1 + \beta_i)\ I_{Eo}} + R_E\ I_C$$

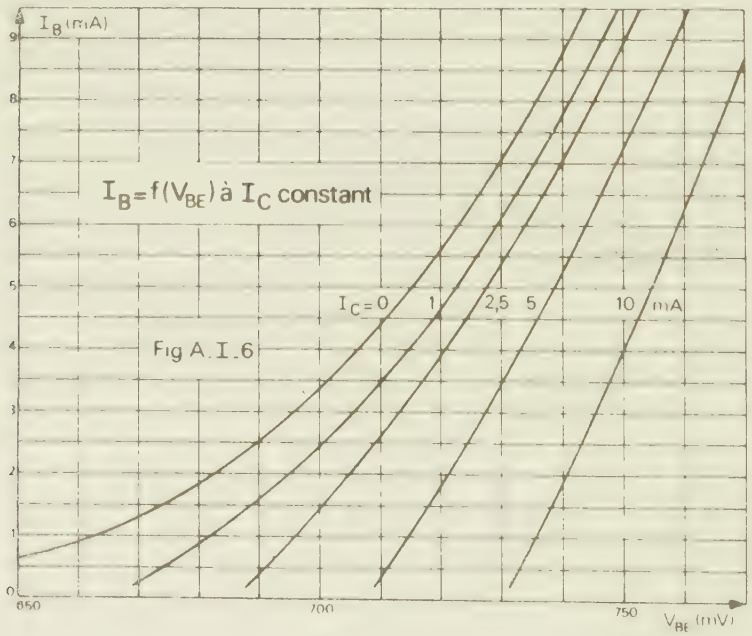
Dérivons par rapport à I_B, I_C restant constant, on obtient :

$$\left(\frac{\delta V_{BE}}{\delta I_B}\right)_{\Delta I_C = 0} = R_B + R_C + U_T \cdot \frac{1}{(1 + \beta_i)\ I_B + I_C}$$

avec l'hypothèse $\beta_i << 1$ il vient :

$$\left(\frac{\delta V_{BE}}{\delta I_B}\right)_{\Delta I_C = 0} \simeq R_B + R_E + \frac{U_T}{I_E} = R_B + \left(\frac{\delta V_{BE}}{\delta I_C}\right)_{\Delta I_B = 0}$$

Les courbes et les résultats concernant les transistors 2N 3607 ·· sont présentés à la figure A-I-6. Les résistances réparties de base sont de l'ordre de 2,5Ω et en tous cas inférieures à 3Ω.



A-I-2-4 Détermination de la résistance répartie de collecteur R_C

Lorsqu'un transistor fonctionne en inverse et dans le cas particulier où l'émetteur est en l'air ($I_E = 0$) la tension émetteur-collecteur tirée de A-I-14 s'écrit :

$$\left(V_{EC}\right)_{I_E = 0} = R_C\, I_B + U_T \operatorname{Log} \frac{1 + \beta_n}{\beta_n}$$

sachant que $\beta_n \gg 1$ on peut écrire :

$$(V_{EC})_{I_C = 0} \simeq R_C\, I_B$$

Les courbes tracées à la figure A-I-7 conduisent aux résultats suivants :

$R_C = 0{,}13\ \Omega$ pour le transistor T_1 et $R_C = 0{,}16\ \Omega$ pour le transistor T_2.

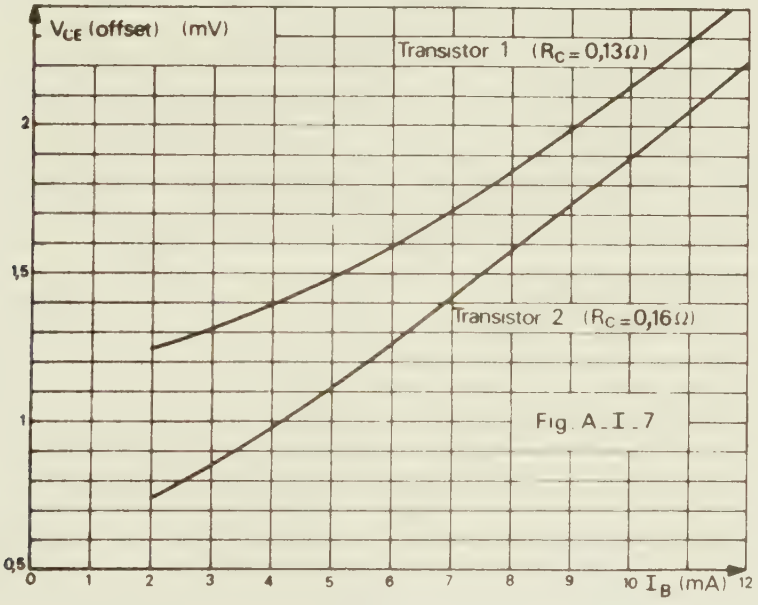


Fig. A-I-7

A-I-3 DETERMINATION DES CAPACITES DES JONCTIONS

A-I-3-1 Capacités de diffusion

A partir des relations entre les charges et les courants en régime dynamique [19] on montre que l'on peut écrire les expressions des capacités de diffusion des jonctions base-émetteur, C_{DE}, et base-collecteur, C_{DC}, sous la forme :

$$C_{DE} = \tau_n \frac{I_{Eo}}{U_T} \exp \frac{V_{BE}}{U_T}$$

$$C_{DC} = \tau_i \frac{I_{Co}}{U_T} \exp \frac{V_{BC}}{U_T}$$

où τ_n est la constante de temps de diffusion de la diode base-émetteur.

τ_i est la constante de temps de diffusion de la diode base-collecteur.

Les valeurs de I_{Eo} et I_{Co} sont déterminées à partir de la mesure des tensions de saturation des jonctions base-émetteur et base-collecteur.

Les valeurs de τ_n et τ_i sont calculées à partir des valeurs fournies par le constructeur [14][19] , par approximations successives jusqu'à ce que le résultat du calcul corresponde bien à celui de la mesure d'une grandeur significative comme le temps de traversée du module.

Nous avons ainsi mesuré :

Transistors 2N 709	Transistors 2N 3607
$I_{Eo} = 1{,}24 \ 10^{-16}$A	$I_{Eo} = 2{,}74 \ 10^{-15}$A
$I_{Co} = 2{,}83 \ 10^{-15}$A	$I_{Co} = 3{,}00 \ 10^{-13}$A

et nous avons calculé pour les transistors 2N 709

$\tau_n = 0{,}52$ ns $\qquad \tau_i = 2$ ns

Il faut remarquer que si les valeurs de I_{Eo} et I_{Co} correspondent bien à celles données par le constructeur les valeurs calculées τ_n et τ_i sont par contre plus fortes ce qui s'explique par le fait que dans le module T T L bas niveau le transistor travaille toujours à V_{CE} faible et que dans ces conditions les fréquences de coupures sont nettement diminuées.

A-I-3-2 Capacités de transition

Les capacités de transition s'expriment sous la forme :

$$C_T = \frac{C_{To}}{(V_\phi - V_j)^m}$$

où :

C_{To} est la capacité de la jonction base-émetteur (ou collecteur) à courant collecteur (ou émetteur) nul.

V_ϕ est la barrière de potentiel de la jonction

V_j est la tension appliquée aux bornes de la jonction

m est un coefficient empirique compris entre 1/3 et 1/2.

Nous avons déjà remarqué que l'excursion de tension aux bornes des jonctions du transistor inverseur reste faible et toujours inférieure à un volt. Nous pouvons donc considérer les capacités de transition constantes et faire une détermination de leur valeur moyenne y compris les capacités parasites pour un transistor fonctionnant dans les mêmes conditions que l'inverseur du module.

Le principe de mesure que nous avons adopté consiste à charger à courant constant la capacité à mesurer et observer l'évolution de la tension à ses bornes dans des limites qui correspondent au domaine dans lequel on utilise le transistor dans le module logique. Le montage de mesure est représenté à la figure A-I-8

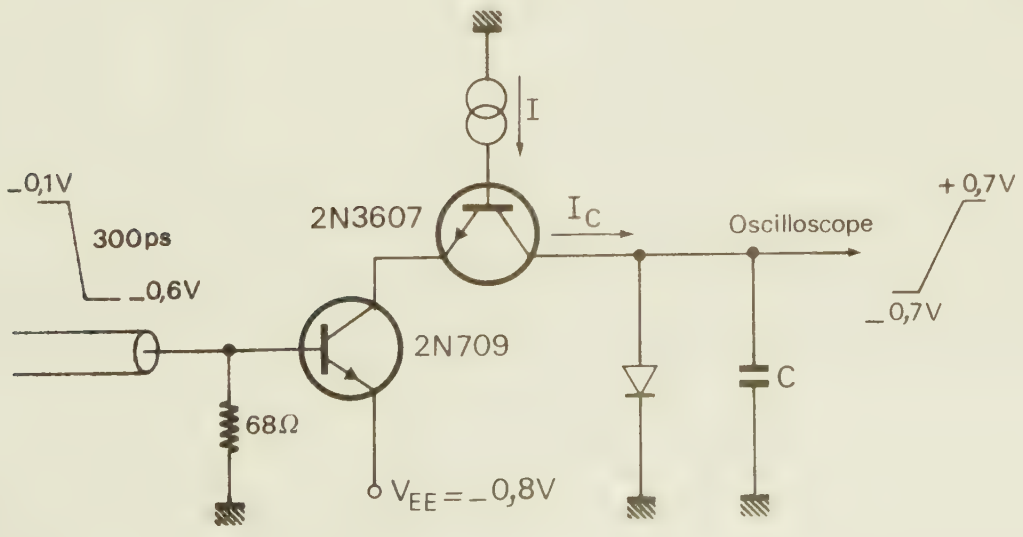


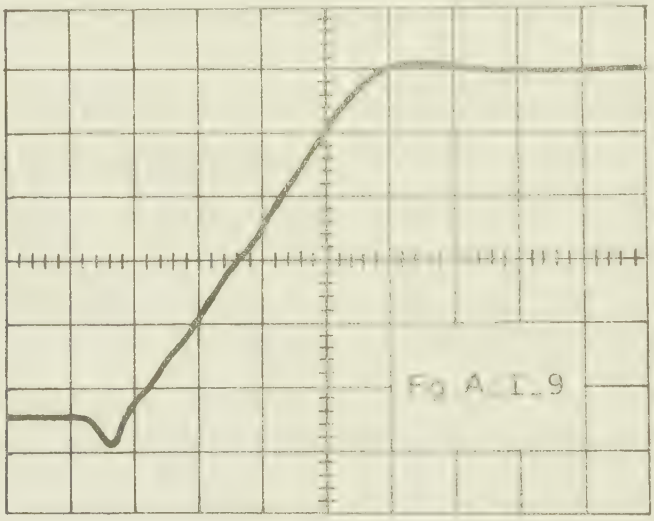
Fig. A_I_8

Ce montage met à profit les propriétés de commutation de la porte T T L. Le signal de commande du circuit est directement issu du générateur de calibrage de l'oscilloscope Tektronix 661 utilisé pour la mesure. On dispose ainsi d'un générateur de courant I_C qui permet de charger ou de décharger C selon le niveau du signal de commande.

L'excursion de tension aux bornes de C est limitée côté bas par le générateur à $V_{EE} + 2\ V_{CEsat} \simeq -0,6$ V et côté haut par la diode à $V_{Dsat} \simeq + 0,7$ V.

L'étalonnage du circuit de mesure à été fait en ajoutant en parallèle sur la diode des capacités C_a de valeurs connues et en observant dans chaque cas l'évolution de la tension à l'oscilloscope.

L'oscillogramme de la figure A-I-9 en donne un exemple.



Sensibilités:
Horizontale 2ns/C
Verticale 0,2V/C

La capacité totale C est composée des capacités de diode C_d, de câblage C_p, de la sonde de l'oscilloscope C_s et de la capacité C_a. On peut écrire :

$$C = C_d + C_p + C_s + C_a$$

Pour chaque valeur de C_a et de I_C on mesure sur l'oscillogramme la valeur de $\frac{\Delta t}{\Delta V}$ ce qui permet de tracer le réseau de courbes de la figure A-I-10. Sur ce réseau on remarque que les droites obtenues pour diverses valeurs de I_C convergent vers un point situé sur l'axe horizontal à l'abscisse $C_a = -10$ pF on en déduit que :

$$C_d + C_p + C_s = 10 \text{ pF}$$

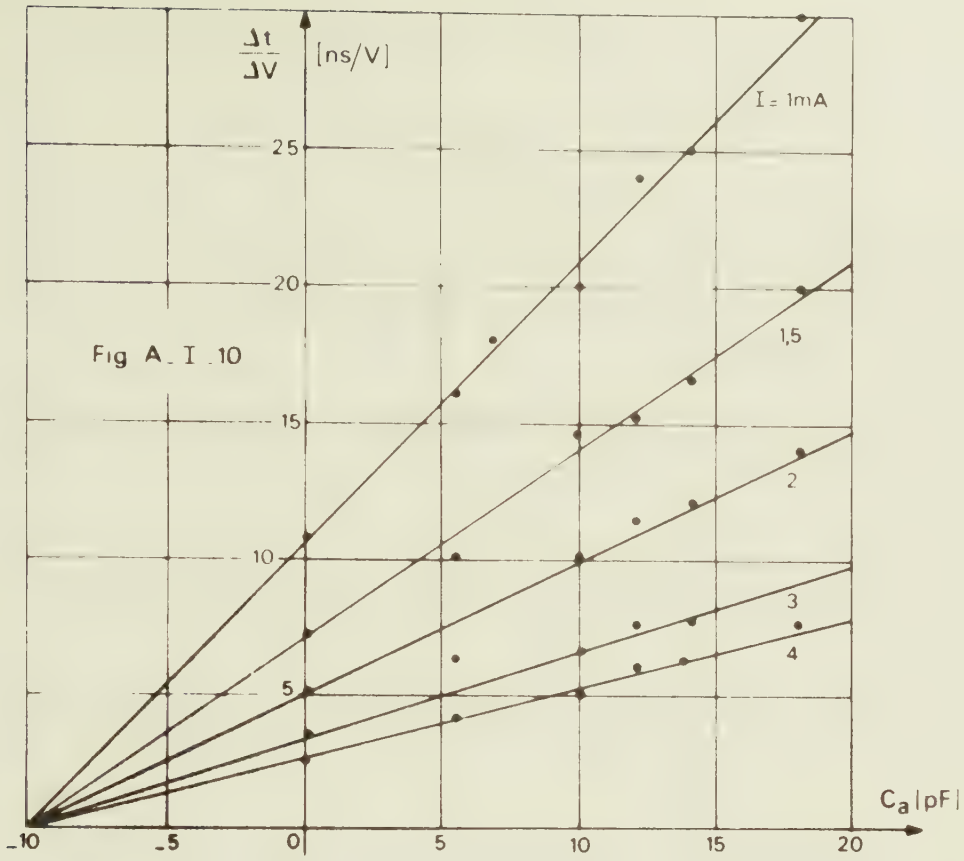


Fig A_I_10

Nous avons utilisé ce principe pour mesurer les capacités de transition des transistors 2N 3607 et 2N 709. Nous avons fait les diverses combinaisons entre base, collecteur et émetteur et nous avons mesuré dans chaque cas la capacité équivalente. Nous avons obtenu les résultats suivants :

Transistor 2N 3607	Transistor 2N 709
C_{TE} = 8,2 pF	C_{TE} = 1,6 pF
C_{TC} = 9,8 pF	C_{TC} = 2,6 pF
C_{S} = 2,2 pF	C_{S} = 1,4 pF

BIBLIOGRAPHIE DE LA PREMIERE PARTIE

(1) Bulletin C. B. 118 - Texas-Instruments.

(2) David K. Lynn - Charles S. Meyer - Douglas J. Hamilton
Analysis and design of integrated circuits
Mac Graw Hill Book Company

(3) M. Rouziet - Mme Le Men - J. P. Serrand
MUR circuit logique subnanoseconde
Colloque international sur la microélectronique avancée
Paris 6-10 avril 1970 - Editions Chiron - Tome II

(4) R. d'Aboville
Le système NIRAP de logique non saturée ultrarapide
L'Onde électrique - Vol. 49 fasc. 3 mars 1969 - pp 265-272

(5) R. Lyon-Caen
Diodes et transistors utilisées en commutation
Chapitre VII - Transistors en régimes transitoires - pp. 227-239
Editions Masson

(6) J. J. Rivière
Contribution à l'étude de la commutation à transistors.
Les modèles équivalents : choix et applicabilité à l'étude du comportement transitoire des circuits.
Thèse de Doctorat de 3e cycle n° 746 - Bordeaux mars 1970

(7) Mostafa Ali Chirinpour Farkhad
Contribution à l'étude des circuits logiques rapides à transistors du type E.C.T.L., T.T.L., C.T.L., pouvant fonctionner dans les calculateurs numériques ayant une fréquence d'horloge de 20 à 50 MHz.
Thèse de Doctorat d'Université n° 46 - Bordeaux - juillet 1966

(8) J. P. Dom
Contribution à l'étude et à la réalisation d'un analyseur différentiel numérique - Etude dynamique - Réalisation en technologie T T L bas niveau.
Thèse de Doctorat de 3e cycle n° 566 - Bordeaux mai 1968

(9) Ph. Roux
Contribution à l'étude de la logique du type T T L bas niveau
Thèse de Doctorat de 3e cycle n° 623 - Bordeaux décembre 1968

(10) Chapitre 10 de la référence bibliographique 2

(11) J. A. Narud - C. S. Meyer
Characterization of integrated logic-Circuit
Proceeding of the I. E. E. E. - December 1964 - pp. 1551-1556

(12) J. Lindmayer - C. Y. Wrigley
Fondamentals of semiconductors devices : transistor transient response and recombination processus.
Van Nostrand 1966

(13) Yauso Tarui - Yataka Mayashi - Miroh Teshima - Toshihiro Sekigawa
Transistor schottky barrier diode integrated logic circuit
I. E. E. E. Journal of Solid state circuits Vol SCH n° 1 - february 1969

(14) R. Carton - R. Micolet - P. Réthoré - M. Roche
Conception assistée par ordinateur - Modèles pour analyse de circuits.
Sescosem : Information technique n° 137

(15) G. Metzger - J. P. Vabre
Electronique des impulsions. Les circuits à constantes réparties
Masson - Tome II

(16) Motorola
Principes d'utilisation de la logique MECL dans les systèmes

(17) M. Depey
Quelques aspects du fonctionnement des circuits intégrés logiques T T L
L'Onde électrique - n° 494 mai 1968 - vol. 48 - pp. 443 - 448

(18) G. Piel
Problème d'emploi et de spécification de circuits logiques intégrés
L'Onde électrique n° 494 - mai 1968 - pp 457 - 468

(19) C. Comte, B. de Cosnac, L. Nivoche
Synthèse comparative des modèles de diodes et de transistors : d'Ebers et Moll, de Beaufoy et Sparkes et de Linvill. Détermination expérimentale des paramètres.
Rapport C. E. A. - R - 4159 - 1971

(20) MM. Jacolin, Le Faou, Pimont, Veran
IMAG 2. Un programme de simulation de circuits électriques.
Institut de Mathématiques appliquées de Grenoble - Mai 1970.

(21) G. Rey, Ph. Leturcq
Théorie approfondie du transistor bipolaire
Masson

(22) P. Dordor
Contribution à l'étude de la technologie T T L bas niveau Schottky. Etude de réalisations en micro-circuits hybrides couches épaisses.
Thèse de Doctorat de 3e cycle n° 1063 - Bordeaux - juin 1973

(23) M. Joindot - T.M.A./E.T.L. - C. N. E. T. - Lannion
Transcodeur pour système de transmission sur guide d'ondes circulaire en technologie microélectronique hybride.
Colloque sur la microélectronique hybride - Bordeaux - Décembre 1973.

(24) Ph. Cazenave
Contribution à l'étude des transistors bipolaires hyperfréquence ; étude critique de leur représentation par les modèles IBIS et BIRD.
Thèse de Docteur-Ingénieur - n° 187 - Bordeaux mai 1973.

II - DEUXIEME PARTIE

ETUDE APPROFONDIE DE LA SECURITE DE FONCTIONNEMENT DES CIRCUITS LOGIQUES, APPLICATIONS A LA FAMILLE T T L BAS NIVEAU

II-1 REGLES D'INTERCONNEXION DES CIRCUITS LOGIQUES - FACTEURS DE CHARGE

II-1-1 Considérations générales

Du point de vue de l'utilisateur on définit les facteurs de charge d'entrée (fan in) "e" et de sortie (fan out) "s" d'un circuit logique comme suit (1) :

Pour les circuits d'une technologie il existe une valeur de courant I qui est le plus grand commun diviseur aux courants d'entrée et de sortie.

La valeur maximale du courant de sortie du circuit de rang n dans une chaîne est : s I.

Les valeurs des courants d'entrée des circuits de rang (n + 1) sont :

e_1 I ; e_2 I ; e_i I ; ...

Les interconnexions devront être telles que dans tous les cas la relation $s \geq \Sigma e_i$ soit respectée.

On remarque que pour la plupart des familles logiques le courant d'entrée d'un circuit est le courant d'entrée du module élémentaire de la technologie. Il est donc le même pour tous les circuits.

On pose alors e = 1.

Dans ce cas on ne prend en considération que le fan out "s" qui représente le nombre maximal de circuits identiques que l'on peut brancher à la sortie du circuit étudié.

Cette façon de caractériser les facteurs de charge correspond bien aux problèmes qui se posent à l'utilisateur de circuits logiques, elle est suffisante dans la plupart des cas. Cependant, il faut noter que cette simplification du problème n'est possible que parce que le constructeur fournit des circuits qui ne présentent aucune difficulté d'emploi vis à vis des entrées ; autrement dit que les circuits logiques disponibles sur le marché sont équipés de portes pourvues d'un nombre d'entrées tel qu'il n'entraine aucune difficulté d'interconnexions.

Pour faire une étude complète des facteurs de charge d'un circuit il nous faut donc envisager le problème du point de vue du constructeur c'est-à-dire rechercher les relations qui lient le fan out "s", tel que nous l'avons défini, au nombre d'entrées du circuit de porte. Après quoi nous pourrons fixer par exemple le nombre optimal d'entrées du module et, ceci étant, l'utilisateur des circuits ainsi conçus pourra lui, ne s'intéresser qu'à leur fan-out.

Afin de connaître les possibilités de la technologie et de déterminer les critères de choix de composants nous allons rechercher les situations les plus défavorables qui peuvent se présenter pour les facteurs de charges selon les interconnexions et les situations logiques en amont et en aval de la porte étudiée. Nous établirons alors les relations qui lient les facteurs de charges aux paramètres des composants ce qui nous permettra de dégager des critères de choix.

II -I-2 Facteurs de charge de l'entrée (fan in) et de la sortie (fan out) du module T2L bas niveau

II -I-2-1 Définitions

La porte étudiée est constituée d'un transistor inverseur Q et du transistor de porte P. Elle est représentée à la figure II -1-a.

Nous appelons fan in le nombre maximal "e" de transistors de porte P_i que l'on peut connecter sur l'inverseur Q.

Nous appelons fan out le nombre maximal "s" d'étages identiques à la porte étudiée, que l'on peut brancher au collecteur de Q à raison d'une ou plusieurs entrées par étage.

La technologie T2L bas niveau permettant la réalisation immédiate de la fonction NOR par mise en parallèle des collecteurs de "n" transistors de type Q, nous appelons fan in de la porte NOR la quantité n. e ; son fan out restant égal à s.

En logique positive le niveau 0 correspond à la saturation du transistor Q, le niveau 1 correspond à son blocage. Ces états sont assurés pour un fan in "e" et un fan out "s" il ne le sont plus si le module a (e + 1) entrées ou si (s + 1) modules identiques sont branchés à sa sortie.

Pour déterminer si un état, 0 ou 1, est assuré en sortie du module étudié il nous faut caractériser le changement d'état. Nous considérons qu'il y a changement d'état lorsque le point représentatif de l'état dans le plan $V_s = f(V_e)$ passe par le point T de transition. Ce point T est défini comme l'intersection de la courbe de transfert avec la première bissectrice des axes de coordonnées soit donc pour $V_s = V_e$ (Figure II -1- b)

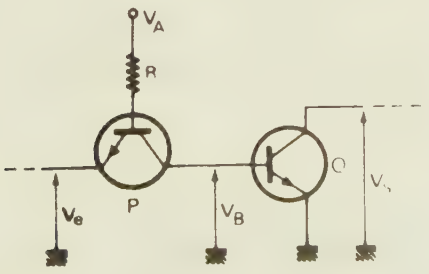


Fig. II.1a

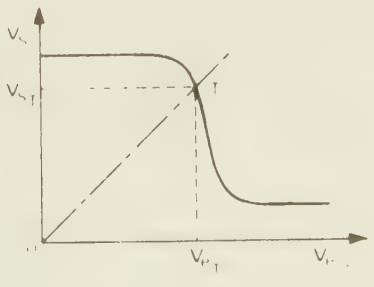


Fig. II.1b

Au voisinage de la transition le transistor de porte reste saturé soit en direct soit en inverse sa tension $V_{CE\,sat}$ est faible donc :

$$V_B - V_e = V_\varepsilon$$

Cette relation permet d'écrire pour le transistor Q :

$$V_{CB} \simeq 0$$

On peut donc définir le point T comme le point correspondant au passage du transistor Q de la zone de fonctionnement saturé à la zone de fonctionnement linéaire ou inversement.

Du point de vue des courants, la polarisation de Q au point T s'écrit :

$$I_C = \beta_n \; I_B$$

II -I-2-2 Recherche des conditions les plus défavorables

Lorsque le transistor inverseur Q est bloqué la sortie est au niveau haut et le nombre d'étages branchés en sortie est sans importance en régime statique. Le nombre d'entrées de la porte est lui aussi indifférent puisqu'il suffit qu'une seule d'entre elles soit au niveau bas pour que Q soit bloqué.

Lorsque Q est saturé, la sortie est au niveau bas et elle doit absorber les courants des étages qui lui sont connectés. Un accroissement du nombre de ces étages donc de I_C peut entrainer la désaturation de Q, c'est ainsi qu'apparaît la limitation de la charge dond la détermination du fan out.

La désaturation de Q peut aussi être entrainée par une diminution du courant I_B disponible pour alimenter sa base, l'importance de cette diminution est fonction du nombre d'entrées de la porte P associée à Q et c'est ainsi qu'apparaît la limitation du nombre des entrées donc la détermination du fan in.

De façon plus générale la limite de maintien de l'état 0 en sortie du module peut s'écrire :

$$I_C < \beta_n \cdot I_B$$

On remarquera que la condition précédente doit être valable dans tous les cas, on l'écrira donc :

$$I_C < \underline{\beta_n} \cdot I_B \qquad \text{(II -1)}$$

où $\overline{I_C}$ est le courant maximal de collecteur de Q.

$\underline{\beta_n}$ est le gain en courant minimal de Q.

$\underline{I_B}$ est le courant minimal de base de Q.

Ces termes prennent leurs valeurs extrémales sous deux conditions :

a - que les situations d'interconnexions des circuits soient les plus défavorables.

b - que les valeurs des éléments constitutifs du circuit soient elles aussi extrémales.

La condition "a" est spécifique de la technologie elle est donc essentielle pour la détermination des expressions des facteurs de charge.

La condition "b" est classique aussi ne la traiterons-nous qu'en annexe où nous développerons les calculs nécessaires pour expliciter les relations obtenues.

Nous avons représenté à la figure II -2 le cas le plus général des interconnexions en amont et en aval d'un module il nous faut maintenant rechercher les situations les plus défavorables.

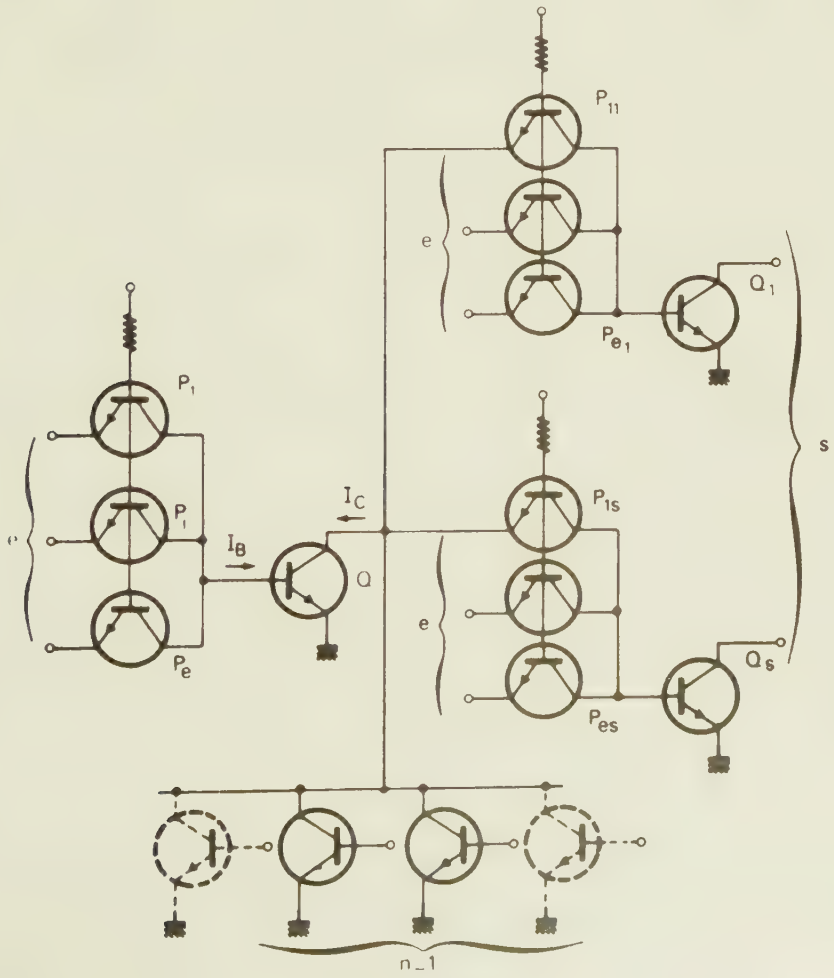


Fig II.2.

II -I-2-2-1 Recherche des situations donnant $\overline{I}_C$

Le courant I_C est fourni par les émetteurs des transistors de porte des s étages connectés en sortie (Figure II -3). Si pour un de ces étages les e émetteurs sont connectés ensemble sur la sortie de Q le courant fourni par cet égage est au plus égal à $I - I_{Bo}$.

Si par contre certains émetteurs comme P_{ji} de la figure II -3 sont connectés à d'autres modules, (P_i', Q' et Q"), qui sont au niveau haut, un courant I_{Eji} inverse pour P_{ji} peut venir accroître le courant I_{Ci}. Le cas le plus défavorable est donc celui où une seule entrée par porte en charge est connectée à la sortie de l'étage étudié.

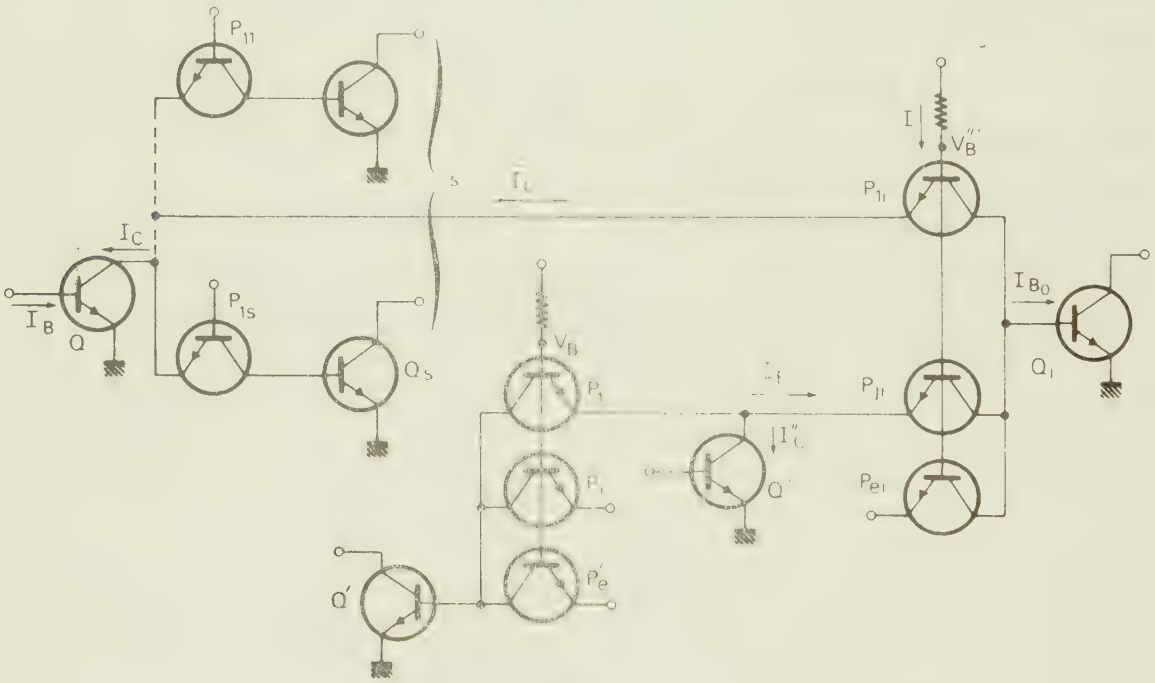


Fig II 3

La recherche du courant $\overline{I}_C$ conduit à la détermination de $\overline{I}_{Ci}$ puisque :

$$\overline{I}_C = s \quad \overline{I}_{Ci} \qquad \text{II -2}$$

- Recherche de la situation donnant $\overline{I}_{Ci}$.

Dans le cas le plus défavorable d'interconnexions où les (e-1) transistors de porte P_{ji} fournissent un courant inverse I_{Eji} on peut écrire :

$$I_{Ci} = I - I_{Bo} + (e - 1)\, I_{Eji}$$

Q étant saturé, Q_i est bloqué, la présence de I_{Bo} ne peut être que favorable, on néglige donc le courant de fuite I_{Bo}.

- Recherche de la situation donnant $\overline{I}_{Eji}$

Si Q' est bloqué, c'est-à-dire si au moins une de ses entrées P'_i est au niveau 0, la tension de base V'_B des transistors P'_i est égale à V''_B tension de base des transistors P_{ji}.

$$V'_B = V''_B = V_{BEon} + V_{CEsat}$$

Dans ces conditions :

$$I_{Eji} = -I''_C$$

Ce courant se soustrait à I_{Ci} on peut le négliger.

- On remarque que si Q" entre en conduction le courant qu'il appelle se soustrait lui aussi à I_{Ci} ce qui est favorable.

Si Q' est saturé, c'est-à-dire si toutes ses entrées sont au niveau 1, on a :

$$V_{Cpji} = 2\ V_{CEsat}$$

$$V_{Epji} = V_{BEon} + V_{ECsat}$$

Le transistor P_{ji} est donc soumis à une tension collecteur-émetteur :

$$V_{CE} = 2\ V_{CEsat} - V_{ECsat} - V_{BEon} \simeq -0{,}6\ V$$

P_{ji} conduit donc en inverse et n'est pas saturé.

En conclusion la valeur maximale du courant de collecteur de Q s'exprime

$$\overline{I}_C = s\ (\overline{I} + (e - 1)\ \overline{I}_{Eji}) \qquad \text{II -3}$$

II -I-2-2-2 Recherche des situations donnant $I_{\underline{B}}$

Pour que Q soit saturé il faut que tous les transistors de type Q" qui commandent les e entrées P_1, ... P_i ..., P_e soient bloqués (Figure II -4). Chacun de ces transistors Q" est susceptible de commander s étages identiques. Dans le cas le plus défavorable où chacune des entrées P_1 ... P_e est interconnectée comme P_i, donc contribue à extraire un courant I_{Ei}, on peut écrire :

$$I_B = I - e\,(s - 1)\,I'_{Ei} - e\,I''_C$$

- Recherche des relations donnant $\overline{I}'_{Ei}$

Si tous les transistors du type Q" sont bloqués, Q' est saturé ; alors $V'_B = V_B$ donc P'_i ne peut conduire en inverse et $I'_{Ei} = 0$.

Si l'un des transistors Q"' est saturé, Q' est bloqué. Le transistor P'_i est soumis à une tension collecteur-émetteur :

$$V_{CE} = 2V_{CEsat} - V_{FCsat} - V_{BEon} \simeq -0{,}6\ V$$

P'_i conduit donc en inverse et n'est pas saturé.

La valeur minimale du courant de base de Q s'exprime :

$$I_{\underline{B}} = \underline{I} - e\,((s - 1)\,\overline{I}'_{E_i} + \overline{I}''_C) \qquad \text{II -4}$$

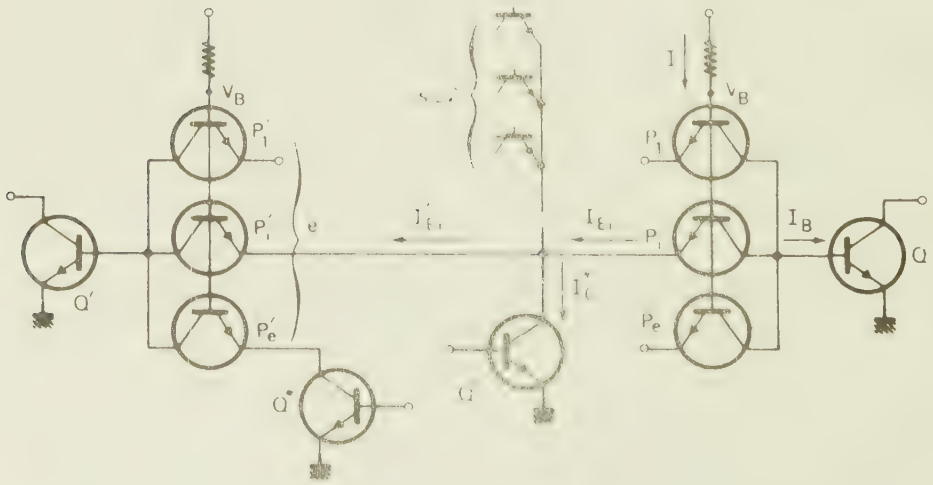


Fig. II.4

- Cas de la réalisation de la fonction NOR :

Pour réaliser la fonction NOR il suffit de brancher en parallèle n inverseur de type Q (Figure II -2).

Le calcul de $\overline{I}_C$ reste inchangé puisque les courants de collecteur des (n - 1) transistors se retranchent dans tous les cas du courant disponible pour alimenter le collecteur de Q.

Par contre le calcul de I_B doit être repris, en effet le courant de fuite I''_C devient n. I''_C (Figure II -3)

La valeur minimale du courant de base de Q s'écrit dans le cas de la porte NOR :

$$\underline{I_B} = \underline{I} - e\left((s - 1)\,\overline{I'}_{Ei} + n\,\overline{I''}_C\right) \qquad \text{II -5}$$

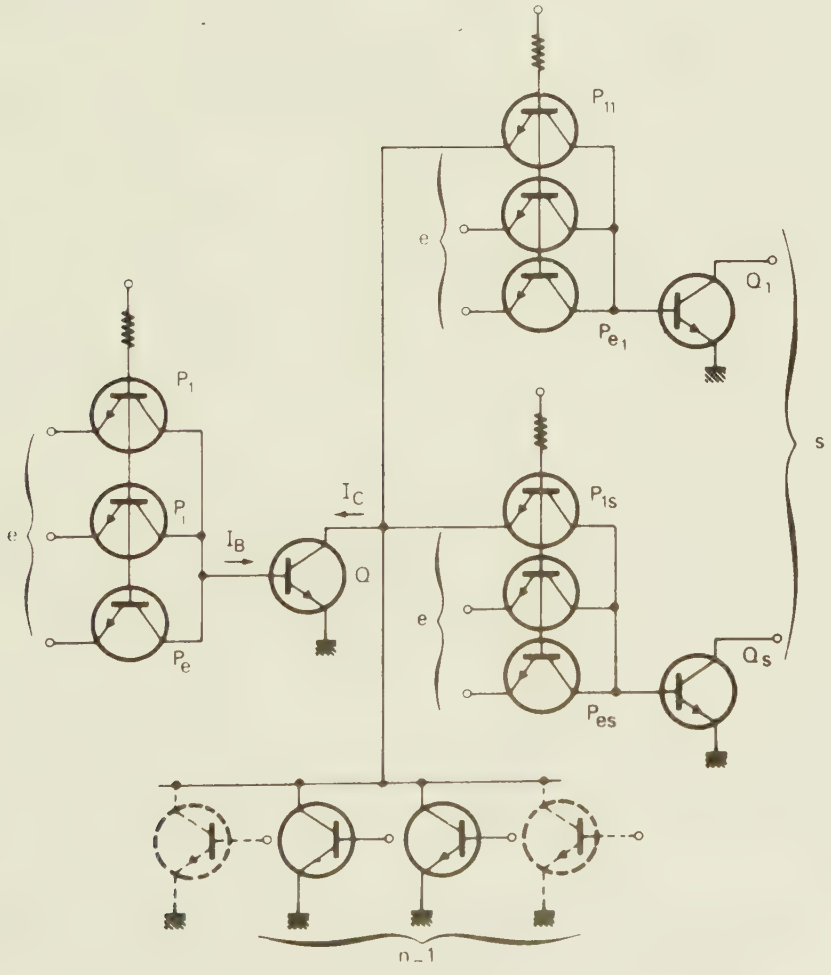


Fig II 2.

II -I-2-3 Relations entre le fan in, le fan out et les paramètres du circuit

Les résultats précédents permettent d'exprimer la relation (II -1) sous la forme :

$$s\,(\overline{I} + (e - 1))\,\overline{I}_{Eji} \leq \underline{\beta}_n \left\{ 1 - e\,((s - 1)\,\overline{I'}_{E_i} + n\,\overline{I''}_C) \right\} \quad \text{II -6}$$

où n = 1 pour la porte Nand.

Le développement du calcul qui nécessite l'explicitation des termes $\overline{I}$, $\underline{I}$ $\overline{I}_{Eji}$, I'_{Ei}, I''_C est fait en annexe A- II-1 et conduit aux résultats suivants :

$$\overline{I} = \frac{\overline{V}_A - (\underline{V_{BEon}} + \underline{V_{CEsat}})}{\underline{R}} \quad \text{II -7}$$

$$\underline{I} = \frac{\underline{V_A} - (\overline{V_{BEon}} + \overline{V_{BCon}})}{\overline{R}} \quad \text{II -8}$$

$$\overline{I}_{Eji} = \frac{\overline{\beta}_{ip}}{e - 1}\,\frac{\overline{I}}{2} \quad \text{II -9}$$

$$\overline{I'}_{Ei} = \overline{\beta}_{ip}\,\frac{\overline{I}}{2} \quad \text{II -10}$$

$$I''_C = \frac{2\,I_{E_0}(\beta_{ip} + 1)\,(\frac{1}{\alpha_i} + \frac{\beta_f}{\beta_i})}{\beta_{ip}(\frac{1}{\beta''_n} + 1 - \alpha''_i)(1 - \frac{\beta f}{\beta_n})} \quad \text{II -11}$$

On remarque que l'expression de I''_C devient infinie si l'on écrit à la limite $\overline{\beta}_f = \underline{\beta}_n$. Dès que I''_C devient grand donc que $\overline{\beta}_f$ devient voisin de $\underline{\beta}_n$ le transistor Q se désature et l'état logique 0 n'est plus assuré en sortie.

La définition du changement d'état que nous avons donnée au paragraphe I-2-1 n'est donc pas suffisante car l'inégalité $\overline{I_C} < \underline{\beta}_n\ \underline{I_B}$ ne peut s'écrire à la limite $\overline{I}_C = \underline{\beta}_n\ \underline{I}_B = \overline{\beta}_f\ \underline{I_B}$

On doit donc chiffrer de combien $\overline{\beta}_f$ devra rester inférieur à $\beta_{\underline{n}}$ pour que l'état logique 0 soit conservé à la sortie du transistor Q.

Le passage par le point de transition n'étant pas un critère suffisamment strict pour définir le maintien à l'état zéro on peut penser à caractériser celui-ci par le passage au point de gain unité U_o (Figure II -5). Dans ce cas la marge de bruit correspondante NM_o serait nulle. Afin de déterminer le fan-out dans des conditions de bonne sécurité d'utilisation, nous avons préféré définir un critère encore plus strict à savoir :

- Le gain forcé $\overline{\beta}_f$ sera défini par le passage du point représentatif de l'état du circuit dans le plan $V_s = f(V_e)$ en un point tel que la sensibilité au bruit à fan-out s et fan in e, NS'_o, devienne moitié de la sensibilité NS_o du même module utilisé dans les conditions les plus favorables soit avec une charge unité et une seule entrée et ce pour une température donnée.

Les définitions relatives aux marges de bruit sont précisées, paragraphe II -2-3.

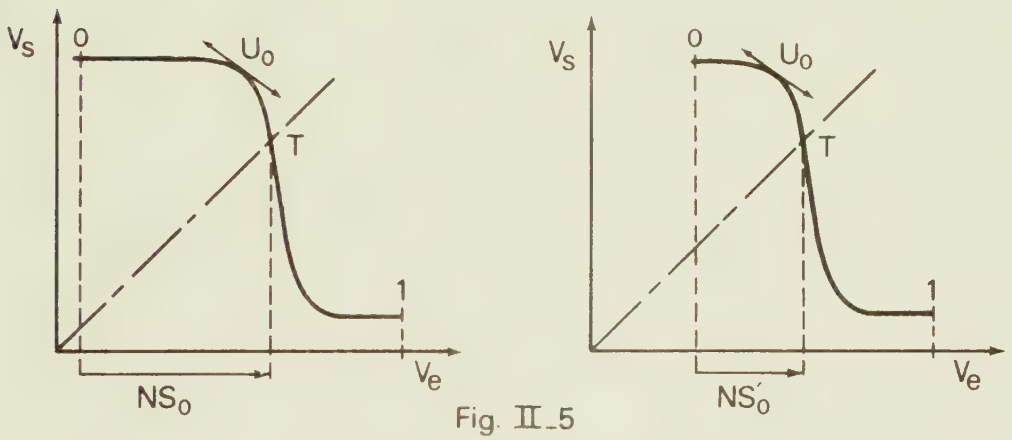


Fig. II-5

Expression de la sensibilité au bruit NSo

$$NSo = V_{eT} - V_{CEsat}$$

$$V_{eT} = U_T \text{ Log } \frac{I}{I_{Eo}} \left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right) - U_T \text{ Log } \frac{\alpha_{np}}{\alpha_{ip}}$$

$$V_{CEsat} = U_T \text{ Log } \frac{\frac{1}{\alpha_i} + \frac{1}{\beta_i}}{1 - \frac{1}{\beta_n}}$$

$$NSo = U_T \text{ Log } \frac{\alpha_{ip}}{\alpha_{np}} \frac{I}{I_{Eo}} \left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right) \frac{1 - \frac{1}{\beta_n}}{\frac{1}{\alpha_i} + \frac{1}{\beta_i}}$$

Expression de la sensibilité au bruit NS_o'

$$NSo' = U_T \text{ Log } \frac{\alpha_{ip}}{\alpha_{np}} \frac{I}{2I_{Eo}} \left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right) \frac{1 - \frac{\beta_f}{\beta_n}}{\frac{1}{\alpha_i} + \frac{\beta_f}{\beta_i}}$$

La condition $NS_o' = \frac{NS_o}{2}$ s'écrit alors :

$$2 \frac{\frac{1}{\alpha_i} + \frac{\beta_f}{\beta_i}}{1 - \frac{\beta_f}{\beta_n}} = \left\{ \frac{\alpha_{ip}}{\alpha_{np}} \frac{I}{I_{Eo}} \left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right) \left(\frac{1}{\alpha_i} + \frac{1}{\beta_i}\right) \frac{1}{1 - \frac{1}{\beta_n}} \right\}^{\frac{1}{2}}$$

d'où l'expression de I''_C

$$I''_C = \left\{ \frac{I_{Eo}}{\alpha_{ip}} \frac{\alpha_{np} I}{\left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right)} \frac{\frac{1}{\alpha_i} + \frac{1}{\beta_i}}{1 - \frac{1}{\beta_n}} \right\}^{\frac{1}{2}}$$

L'expression précédente s'écrit dans le cas le plus défavorable et en considérant que :

$$\overline{\alpha}_{np} = 1, \quad \frac{1}{\underline{\beta}''_n} \ll 1 - \overline{\alpha''}_i$$

$$\frac{1}{\underline{\beta}_n} \ll 1$$

$$\overline{I''}_C = \left(\frac{2\,\overline{I}\,\overline{I}_{Eo}}{\underline{\beta}_i\ \underline{\beta}_{ip}} \left(\overline{\beta}_{ip} + 1 \right) \left(\overline{\beta''}_i + 1 \right) \right)^{\frac{1}{2}} \qquad \text{II-12}$$

Les conditions d'alimentation sont celles définies en (I-3) : $V_A = 5$ V ; R = 820 Ω . On admet une dispersion de 10 % sur la tension d'alimentation V_A, de 5 % sur la valeur de la résistance R et 20 % sur V_{BEon} dans ces conditions $\frac{\overline{I}}{\underline{I}}$ est au plus égal à 2.

En portant II -9 et II -10 dans II -6 il vient :

$$s = \beta_f \frac{1 + e \left(\overline{\beta}_{ip} - \frac{2n\overline{I''}_C}{\overline{I}} \right)}{2 + \overline{\beta}_{ip} + e\, \beta_f\, \overline{\beta}_{ip}} \qquad \text{II-13}$$

II -I-2-4 Utilisation de transistors de porte multiémetteurs intégrés.

La symétrie géométrique des transistors multiémetteurs intégrés entraine l'identité de leurs caractéristiques électriques.

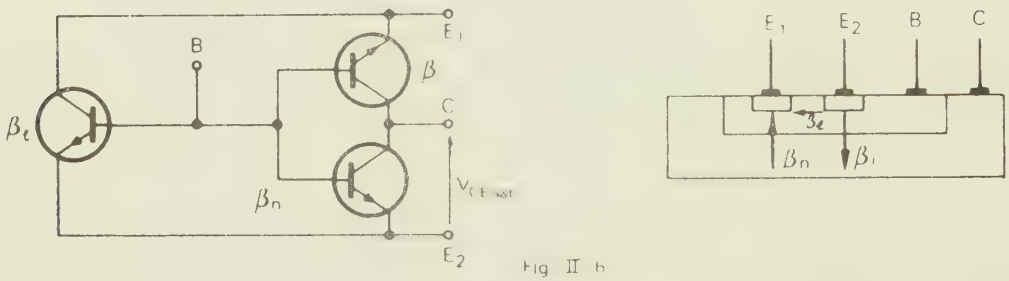


Fig II 6

Les situations défavorables sont inchangées. L'intégration du transistor de porte fait apparaître entre deux émetteurs un transistor latéral dont le gain β_ℓ bien que très faible joue un rôle parasite (Figure II -6). Il faut cependant noter que la réduction de ce gain β_ℓ n'a pas un effet direct sur le courant appelé par l'émetteur qui fait office de collecteur. En effet le collecteur du transistor de porte, s'il ne conduit aucun courant du point de vue du circuit extérieur, est parcouru par deux courants égaux et de signe opposé ; l'un dû au transistor normal et correspondant à l'émetteur mis à la masse, l'autre dû au transistor inversé et correspondant à l'émetteur porté à une tension positive. (2) . (Figure II -7)

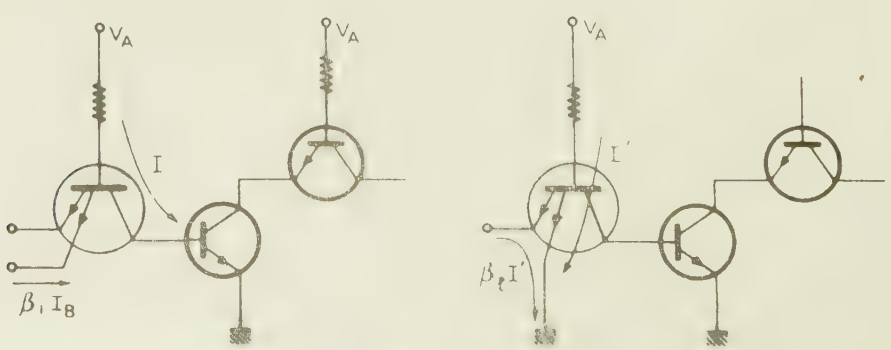


Fig II.7

On a donc superposition des effets de β_ℓ et β_i. Dans les expressions que nous avons établies nous noterons β_p le gain en courant rapporté à I et tel que $I_E = \beta_p I$. Les valeurs de β_p étant établies par la mesure.

Il vient ainsi :

$$\overline{I}_{Eji} = \overline{\beta}_p . \overline{I}$$

$$\overline{I'}_{Ei} = \overline{\beta}_p . \overline{I}$$

Dans les conditions définies au paragraphe précédent on obtient :

$$s = \overline{\beta}_f \left(\frac{0,5 + \overline{e\beta}_p - \dfrac{n.e\overline{I}"_C}{\overline{I}}}{1 + \overline{\beta}_p(e - 1 + e\,\beta_f)} \right) \qquad \text{II-14}$$

Avec $I"_C$ défini par l'expression II -12 ou β_{ip} est remplacé par β_p.

II -I-2-5 Exploitation des résultats

II -I-2-5-1 Choix des paramètres des composants

Les paramètres des composants figurent dans les expressions de s (II -13, II -14) directement et par l'intermédiaire de I''_C (II -12).

Pour le transistor inverseur on remarque :

- que s est directement fonction de β_f donc de β_n. Pour avoir un fan out important on a donc intérêt à choisir des transistors à grand gain .

- que s est d'autant plus grand que I''_C est faible.Le paramètre du transistor inverseur qui apparaît dans l'expression de I''_C est β_i sous la forme $\frac{1}{\underline{\beta i}} + \frac{\overline{\beta i}}{\underline{\beta i}}$. I''_C sera donc d'autant plus faible que β_i sera grand et que $\frac{\overline{\beta i}}{\underline{\beta i}}$ sera faible ce qui conduit à préconiser une faible dispersion sur le paramètre β_i.

Pour le transistor de porte on remarque :

- que le terme qui intervient dans l'expression de (II -13) et de I''_C (II -12) est β_{ip} dans le cas des transistors discrets et β_p (II -14) dans le cas des transistors multiémetteurs intégrés.

L'influence de ces paramètres sur les facteurs de charge apparaît clairement sur les abaques présentés au paragraphe suivant.

II -1-2-5-2 Relations entre les facteurs de charge. Influence de la température.

Nous avons exprimé s en fonction des paramètres des composants, de e et de n (II -13, II -14).

Pour rendre les résultats plus explicites nous les présentons sous forme d'abaques.

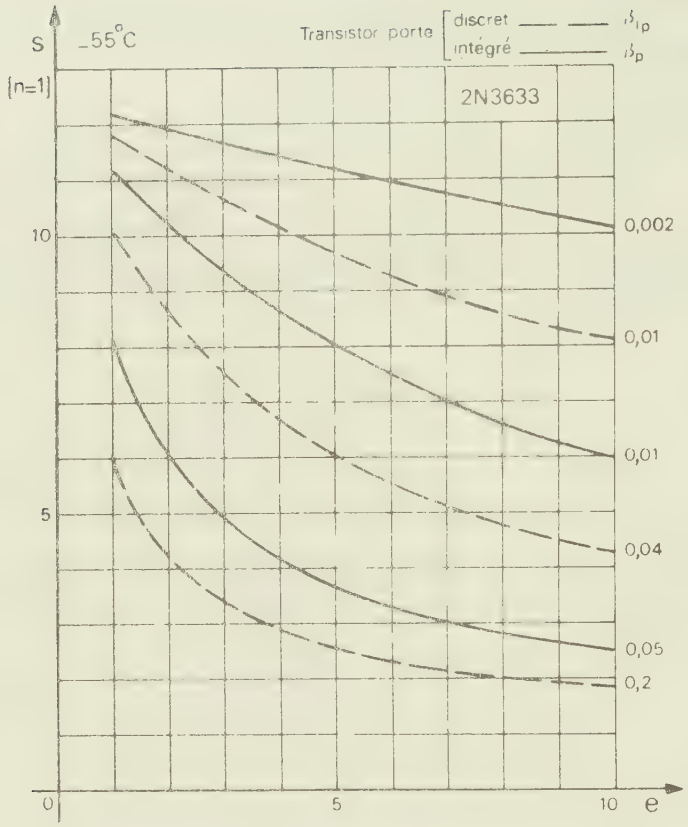
Les abaques représentés aux figures II -9, II -10 et II -11 donnent s en fonction de e avec β_{ip} ou β_p comme paramètre selon qu'il s'agit de transistors de porte discrets ou intégrés.

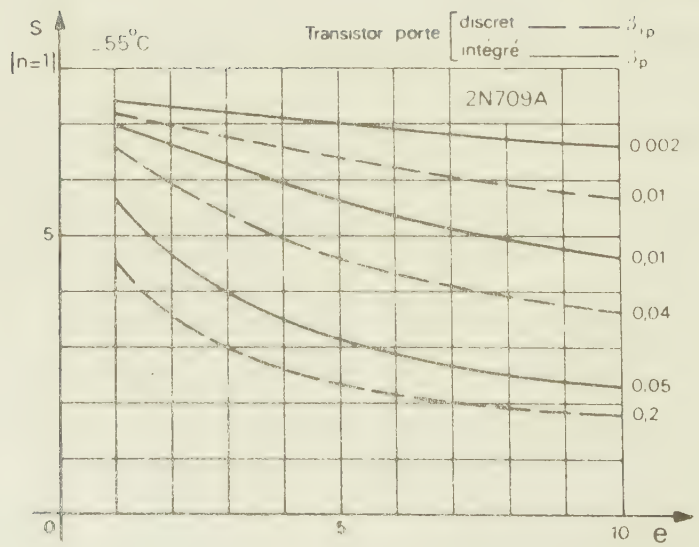
La température intervenant par I_{Eo} et les paramètres des transistors, nous traçons pour un type de transistor inverseur (2 N 709, 2N 3633) un abaque pour chacune des températures -55°C ; + 25°C ; + 125°C.

Les valeurs des mesures qui interviennent pour le tracé de ces abaques sont consignées au tableau II -8.

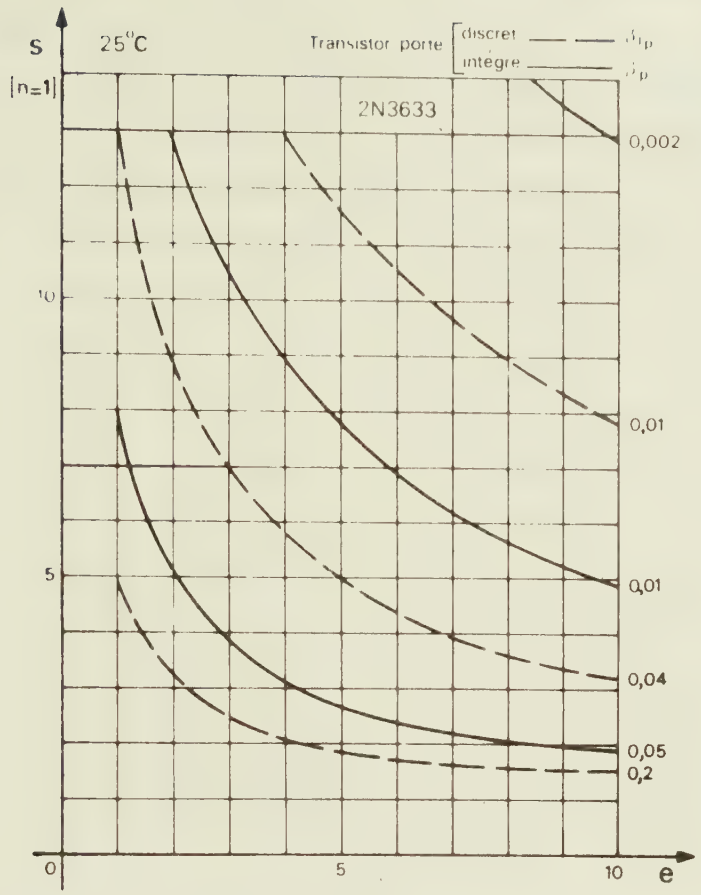
Types de Transistors	Paramètre	TEMPERATURES - 55°C	+ 25°C	+ 125°C
2 N 709 A 2 N 3633 2 N 3607 MC 411	$\overline{V}_{BEon}$ (V)	1	0,85	0,70
	V_{CEsat}	0	0	0
	I_{Eo} (A)	10^{-9}	10^{-6}	10^{-3}
2 N 709 A	$\overline{\beta}_i$	0,1	0,2	0,4
2 N 3633	$\overline{\beta}_i$	0,005	0,01	0,02
2 N 709 A	$\underline{\beta}_n$	15	30	60
2 N 3633	$\underline{\beta}_n$	15	50	100

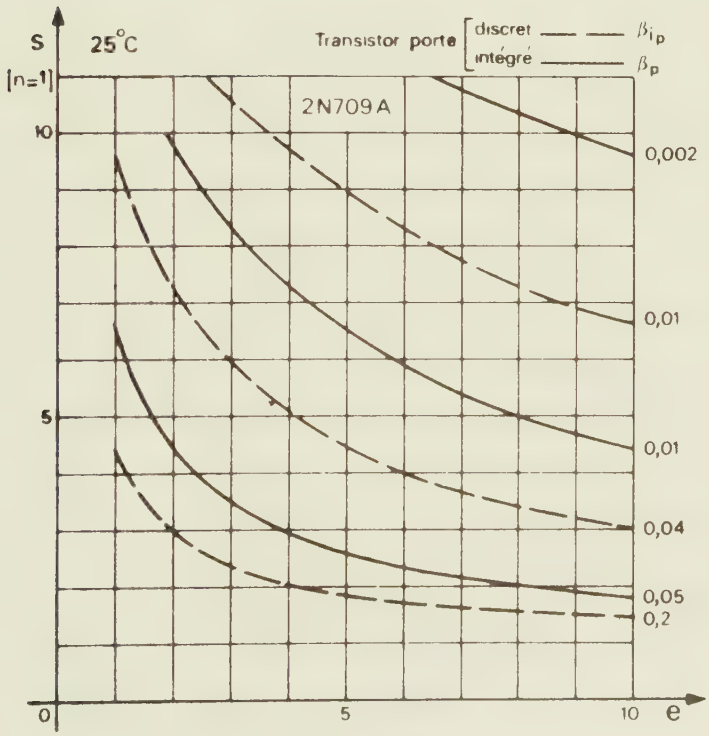
- On donne sur chaque courbe la valeur maximale du paramètre β_i ou β_p à la température de 25°C.
- La valeur minimale du paramètre est considérée égale au $\frac{1}{10}$ de la valeur maximale.


S
(n=1)
-55°C
Transistor porte
discret
intégré
2N3633
0,002
0,01
0,01
0,04
0,05
0,2
10
5
0
5
10
e

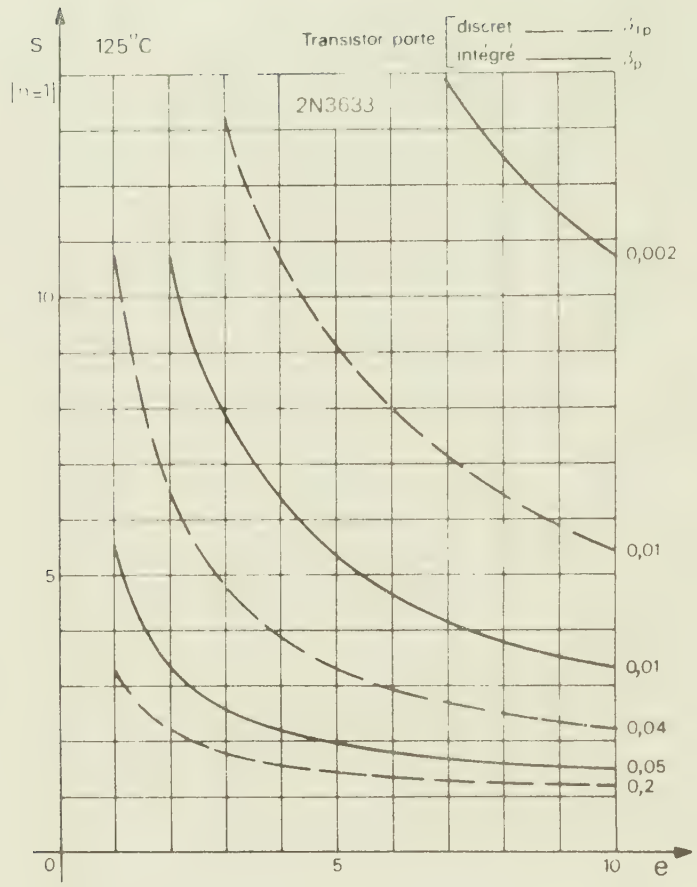

S
(n=1)
-55°C
Transistor porte
discret
intégré
2N709A
0 002
0,01
0,01
0,04
0,05
0,2
5
0
5
10
e

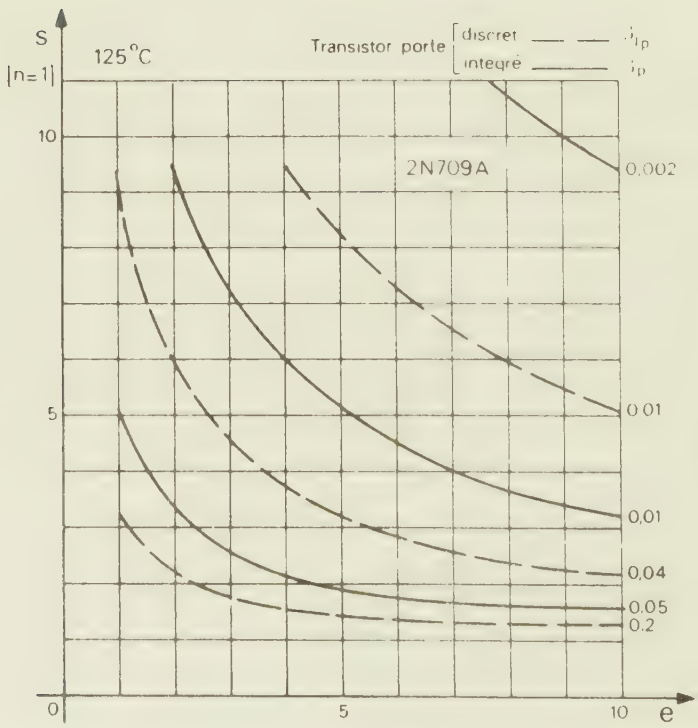
Figures. II_9





Figures. II_10





Figures. II_11

Enfin à la figure II -12 on présente dans le cas d'un transistor inverseur 2N 709 A les courbes qui donnent s en fonction de β_{ip} pour e = 4, ce qui correspond au nombre d'entrées usuel des circuits intégrés, pour chacune des trois valeurs de la température considérées et ce, dans le cas de la porte NAND (II -12-a) et dans le cas de la réalisation de la fonction NOR avec n = 8 (II -12-b).

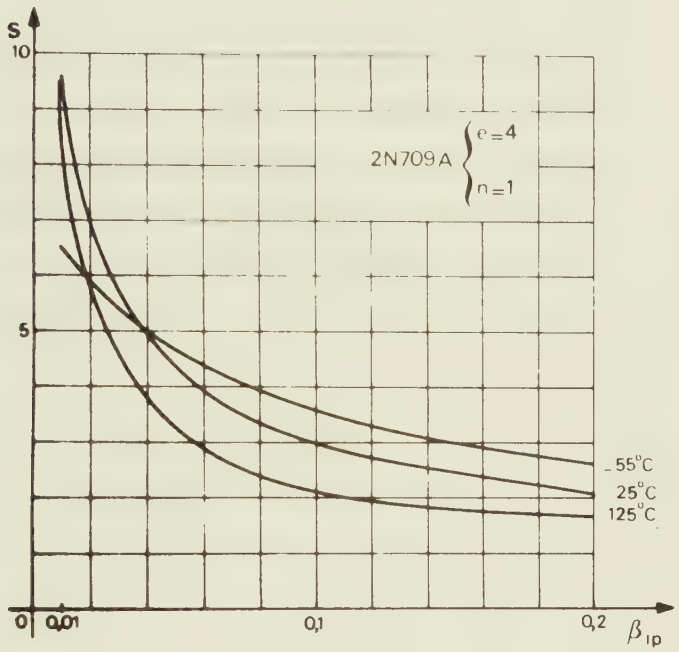


Fig. II_12a

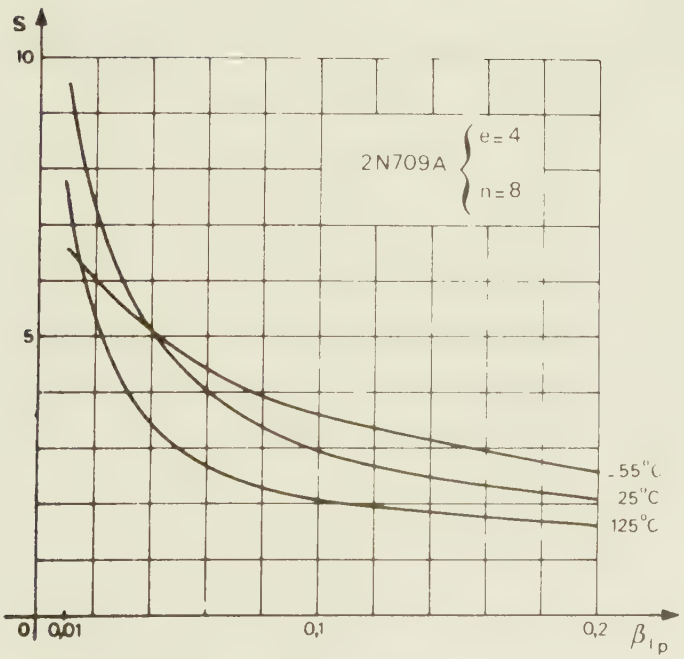


Fig. II_12b

II -1-2-6 Conclusion

Nous avons traité des facteurs de charge d'un module logique en considérant le point de vue du constructeur. Pour celà nous avons envisagé les conditions d'interconnexion les plus défavorables et nous avons défini l'état limite de fonctionnement correct comme l'état où la sensibilité au bruit du circuit tombe, pour des raisons de charge, à la valeur moitié de celle existant pour une charge unité. Ces considérations sont générales.

Leur application au module T T L bas niveau nous a conduit à des résultats exprimés sous formes d'abaques. Ces abaques sont utilisables soit pour choisir la valeur optimale du paramètre β_{ip} ou β_p ; soit , à valeur donnée du paramètre, pour évaluer les valeurs admissibles des charges en entrée et en sortie du module.

Nous avons aussi tracé une série de courbes permettant de déterminer le fan out de portes à quatre entrées selon la valeur du paramètre β_{ip} . On peut y observer que la réalisation d'une fonction NOR à huit entrées n'altère pratiquement pas le fonctionnement de la porte quelle que soit la température.

Les ordres de grandeur des facteurs de charge calculés à partir de ces abaques montrent que même dans les pires cas de fonctionnement et sans conditions strictes sur les valeurs des paramètres le module TTL bas niveau conserve des possibilités de charge suffisantes pour en permettre une utilisation souple dans un ensemble logique.

II -2 LE BRUIT DANS LES CIRCUITS LOGIQUES - BRUIT STATIQUE

II -2-1 Généralités - Définitions

Nous distinguerons deux types de bruit selon l'origine :

- Le bruit externe provenant de sources extérieures à la logique considérée. C'est par exemple le cas de parasites se propageant par le secteur électrique ou par rayonnement de générateurs haute fréquence. Dans une telle ambiance, dite industrielle, seule une technologie présentant des niveaux logiques très éloignés du seuil de commutation permettrait d'obtenir une relative sécurité de fonctionnement. En contrepartie les circuits seraient inévitablement lents. On cherche plutôt la solution à ce problème en découplant et en isolant la logique des sources de bruit par filtrage et blindage.

- Le bruit interne engendré par la logique elle-même. La propagation de ce parasite est fonction de l'implantation et des câblages des circuits, la minimisation de ces perturbations a fait l'objet d'études très complètes qui conduisent à la détermination d'un "packaging" optimal (3). Dans ces conditions l'influence du parasite sur le circuit est fonction de deux variables : d'une part l'aptitude de la technologie considérée à engendrer le signal parasite ; d'autre part l'immunité au bruit de cette même technologie. Pour traiter du premier point nous préciserons les origines et les modes d'action des parasites. Quant au second point il fait l'objet de la majeure partie de ce chapitre consacré au bruit statique et du chapitre suivant où l'on traite du bruit dynamique.

On appelle bruit statique un signal perturbateur dont la durée est grande devant le temps de traversée du module logique considéré. Seule l'amplitude de ce signal est donc prise en considération et les résultats que l'on obtient caractérisent le comportement du module vis à vis de variations de niveau d'origines diverses tels que les modifications des facteurs de charge, la fluctuation des sources d'alimentation, les variations de la température.

I - 1 - 2 Origine physique des parasites pseudo stationnaires et des dérives.

Les variations de niveaux peuvent être dues aux fluctuations des sources d'alimentation, aux différences de charges, aux variations de la température.

Les fluctuations des sources d'alimentation sont d'autant plus génantes, pour une technologie donnée, que l'ensemble logique est important. En effet, pour des raisons techniques évidentes on préfère multiplier le nombre des sources d'alimentation pour fournir une forte puissance plutôt que de réaliser une alimentation unique. Les origines des dispersions sur les niveaux sont donc multipliées. Ceci est un inconvénient majeur pour les technologies dont les niveaux logiques sont directement fonction des tensions d'alimentation ce qui est le cas de l'E.C.L. par exemple. On réalise d'ailleurs pour ces technologies des circuits d'asservissement en polarisation pour créer les tensions auxiliaires nécessaires ce qui ne résoud pas le problème pour des liaisons entre étages alimentés différemment (4).

Par contre d'autres technologies ont un des niveaux logiques indépendant de l'alimentation. C'est le cas des circuits T T L pour lesquels le niveau bas est fixé par la tension de saturation du transistor inverseur.

Enfin, il est possible que les deux niveaux logiques soient indépendants de la tension d'alimentation.

Le circuit T T L bas niveau remplit ces conditions. En effet le niveau bas ne dépend que de la tension de saturation du transistor inverseur alors que le niveau haut est égal à la somme des tensions de saturation du transistor de porte fonctionnant en inverse et de la tension de saturation de la jonction base émetteur du transistor inverseur du module suivant.

Les modifications des conditions de charge des circuits et les variations de température affectent toujours les niveaux logiques. Les technologies y sont plus ou moins sensibles. Ces effets sont pris en compte lors de l'étude de l'immunité au bruit statique.

II -2-3 Méthodes usuelles de détermination des immunités d'un module logique au bruit statique

II -2-3-1 Mesures sur les caractéristiques de transfert

Les marges, sensibilités et immunités au bruit sont habituellement mesurées (5) sur la caractéristique de transfert du module (Figure II -13-a) où les points B et H sont les points de niveaux logiques, (0 et 1 en logique positive), U_0 et U_1 les points de gain unité et T le point de transition. Ces grandeurs sont mesurées de façon plus générale sur le gabarit qui englobe les caractéristiques de transfert d'un lot de modules d'un type donné fonctionnant dans des conditions extrémales d'utilisation (Figure II -13-b).

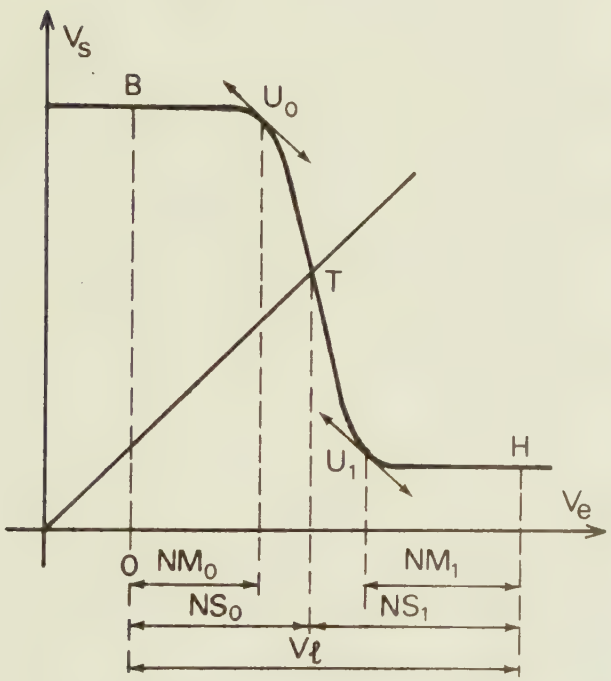


Fig.II 13a

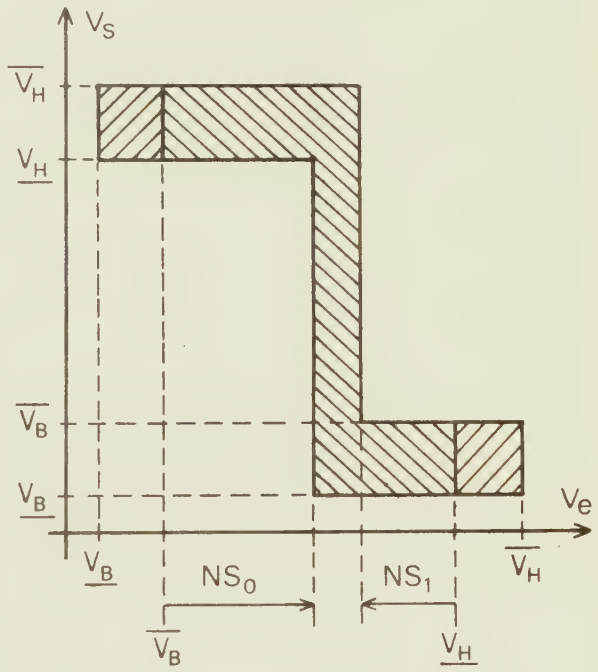


Fig.II .13b

On définit ainsi :

- La marge de bruit au niveau 0 ..... NM_0
- La marge de bruit au niveau 1 ..... NM_1
- La sensibilité au bruit au niveau 0 ..... NS_0
- La sensibilité au bruit au niveau 1 ..... NS_1
- L'excursion logique ..... V_ℓ

On en déduit :

- L'immunité au bruit au niveau 0 ..... $NI_0 = NS_0/V_\ell$
- L'immunité au bruit au niveau 1 ..... $NI_1 = NS_1/V_\ell$

Ainsi pour un circuit donné la somme

$NI_0 + NI_1 = 100\ \%$

Alors que pour un lot d'un type de circuits

$NI_0 + NI_1 < 100\ \%$

Cette méthode appliquée au circuit T T L bas niveau dans le cas de variations de charge de 1 à 3 conduit au tracé du gabarit représenté à la figure II-14, sur lequel on mesure :

$NM_0 = 450$ mV
$NM_1 = 170$ mV
$NS_0 = 520$ mV
$NS_1 = 120$ mV
$NI_0 = 76\ \%$
$NI_1 = 18\ \%$

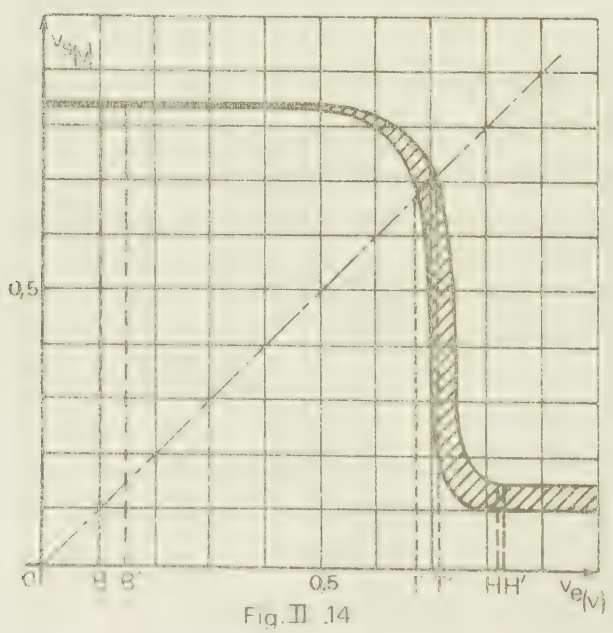


Fig. II .14

II -2-3-2 Observation de la convergence vers un état en bout de chaine logique.

Une autre méthode (5) est utilisée lorsqu'on considère une chaîne de circuits identiques. On travaille sur les caractéristiques de transfert en considérant que la tension de sortie d'un circuit est la tension d'entrée du suivant et ainsi de suite ; ce qui conduit pour des circuits inverseurs à une représentation graphique du type de celle de la figure II -15-a.

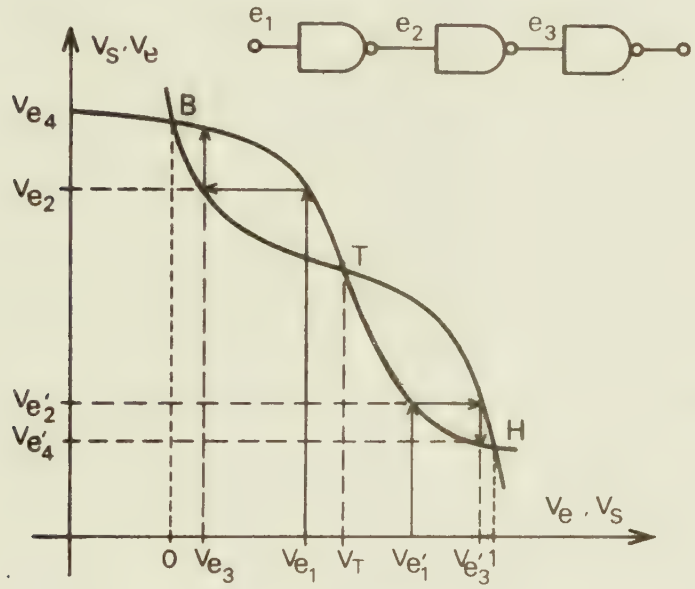


Fig.II .15a

On définit ainsi le point de transition T, intersection des caractéristiques V_s, V_e de deux circuits consécutifs. Ce point T est situé sur la première bissectrice des axes de coordonnées.

On peut montrer graphiquement que pour toute perturbation positive amenant le niveau de l'entrée de la chaîne $V_{e1} < V_T$ les niveaux des entrées et sorties des circuits suffisamment éloignés sur la chaîne se trouvent inchangés alors que si l'on porte le niveau de l'entrée à $V_{e1} > V_T$ les mêmes circuits se trouvent portés aux états complémentaires des états initiaux.

On peut remarquer que, comme pour la méthode précédente, on doit tenir compte des dispersions ce qui conduit à raisonner sur les gabarits qui englobent les courbes.

Ainsi dans le cas des circuits T T L bas niveau on trace les caractéristiques de transfert correspondant à une dispersion de 1 à 3 sur les facteurs de charge en sortie. (Figure II -15-b)

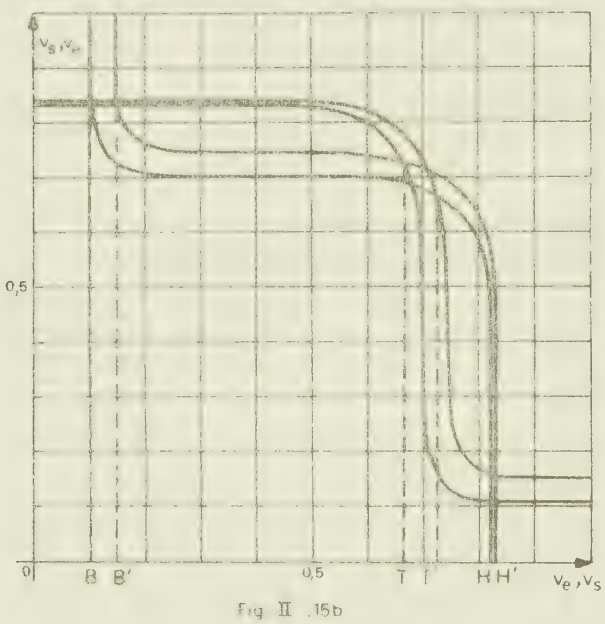


Fig II .15b

Le niveau de seuil, comme les niveaux haut et bas, se dédouble et on mesure alors :

$$V_{B'T} = 500 \text{ mV}$$

$$V_{HT'} = 100 \text{ mV}$$

Les immunités au bruit correspondantes sont :

$$NIo \simeq 75 \%$$

$$NIl \simeq 15 \%$$

Ces méthodes donnent des résultats simples mais présentent l'inconvénient de ne pas permettre d'expliciter clairement le comportement d'une porte selon le mode d'attaque de ses entrées. Il est en effet important de remarquer que les entrées d'une porte logique ne sont, en pratique, jamais totalement indépendantes et que, à un endroit donné d'une chaîne logique, il y a de fortes chances pour qu'un signal parasite excite en phase les diverses entrées d'une même porte. C'est pourquoi il convient d'étudier le comportement des technologies logiques vis à vis de ce type de signal que nous appellerons bruit cohérent.

II -2-4 Présentation et mise en oeuvre d'une méthode d'étude du comportement des portes logiques vis à vis du bruit cohérent.

II -2-4-1 Définition d'une porte idéale

Afin de disposer d'un élément de référence nous allons définir une porte idéale. Si le fait que le bruit soit cohérent est sans influence sur le comportement de la porte ; cela signifie que les entrées sont indépendantes. On peut caractériser cette propriété, par exemple pour une porte ET à deux entrées, en logique positive, par les relations suivantes :

$$V_s = V_{e1} \text{ si } V_{e1} < V_{e2}$$
$$V_s = V_{e2} \text{ si } V_{e2} < V_{e1}$$

et dans le cas où l'on applique deux tensions égales aux entrées :

$$V_s = V_{e1} = V_{e2}$$

La représentation dans le plan des courbes $V_{e1} = f(V_{e2})$ à V_S constante illustre cette propriété (Figure II -16)

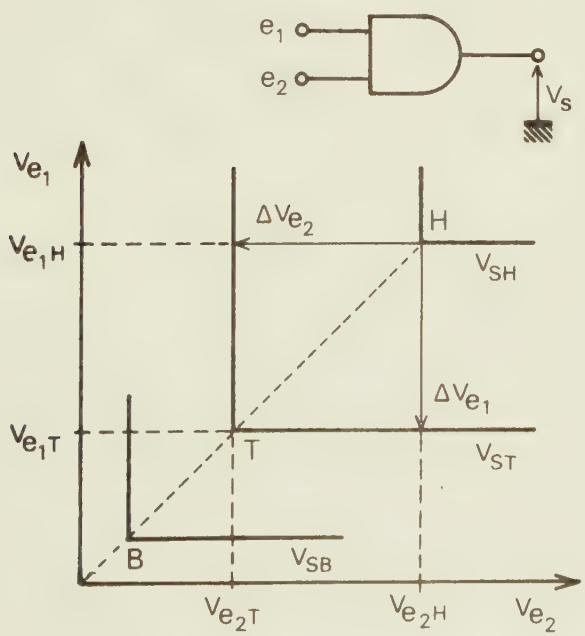


Fig. II .16

Définissons sur cette figure les niveaux de sortie haut V_{sH} et bas V_{sB} ainsi que le niveau de transition V_{sT}. La sensibilité au bruit au niveau haut NS_1 est l'excursion de tension d'entrée qui fait passer la sortie de V_{sH} à V_{sT}. Pour ce faire on peut agir sur V_{e1} ou sur V_{e2}.

La sensibilité au bruit s'exprime alors en fonction de V_{e1} ou de V_{e2}.

$$NS_1 = V_{e1T} - V_{e1H} = V_{e2T} - V_{e2H}$$

La mesure de NS_1 se fait donc sur une verticale ou une horizontale.

Si l'on agit simultanément sur V_{e1} et sur V_{e2} le point représentatif de V_s se déplace sur la première bissectrice et l'on peut écrire l'expression de la sensibilité au bruit cohérent :

$$CNS_1 = V_{e1T} - V_{e1H} = V_{e2T} - V_{e2H}$$

La mesure se faisant sur la projection de HT sur l'axe vertical ou horizontal le résultat reste inchangé. Donc dans le cas de la porte idéale et c'est là sa particularité, l'action sur V_{e1} ou V_{e2} ou l'action simultanée sur les deux entrées conduit au même résultat comme le montre la construction graphique de la figure II -16. Cela est dû à l'indépendance des entrées qui se traduit par la forme particulière des courbes à V_s constante. On remarquera que le résultat est conservé quel que soit le nombre des entrées.

II -2-4-2 [illegible] d'une porte à résistances

Si la porte idéale constitue une limite supérieure jamais atteinte en pratique, la porte à résistances,elle, peut être considérée comme une limite inférieure étant donné l'importance du couplage entre les entrées. Il nous a semblé cependant utile de décrire son comportement vis-à vis du bruit cohérent afin de disposer, comme référence, des deux cas extrêmes entre lesquels viendront se placer les cas réels des technologies logiques utilisées.

Considérons une porte à résistances à deux entrées (Figure II -17)

La tension en sortie de la porte est liée aux tensions appliquées aux entrées par la relation :

$$V_s = \frac{V_{e1} + V_{e2}}{2}$$

L'amplificateur associé à la porte est un séparateur de gain unité.

Cette relation conduit au tracé des courbes de la figure II -17 sur lesquelles nous définissons les niveaux hauts H et bas B des entrées et de la sortie et le niveau T de transition de la sortie.

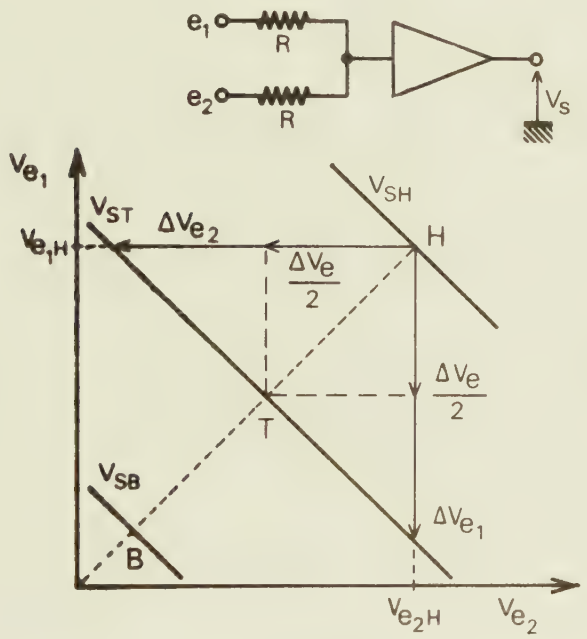


Fig. II .17

Au point H on peut écrire :

$$V_{e1H} = V_{e2H} = V_{sH}$$

Si l'on agit sur e_1 seule, la sensibilité au bruit au niveau 1 a pour expression :

$$NS1 = \Delta V_{e1}$$

De même si l'on agit sur e_2 seule :

$$NS1 = \Delta V_{e2}$$

$$\Delta V_{e1} = \Delta V_{e2} = \Delta V_e$$

Pour le bruit cohérent, il y a action identique sur e_1 et e_2, la sensibilité au bruit cohérent au niveau 1 devient :

$$CNS1 = \frac{\Delta V_{e1}}{V_{e1}} = \frac{\Delta V_{e2}}{V_{e2}}$$

Donc pour une porte à deux entrées le niveau de parasite admissible à chacune des entrées est, dans le cas du bruit cohérent, moitié de celui que l'on peut appliquer si le parasite n'excite qu'une seule entrée ce qui s'exprime par la relation :

$$CNS1 = \frac{1}{2} \; NS1$$

On remarque que pour une porte à n entrées :

$$CNS1 = \frac{1}{n} \; NS1$$

On peut conclure que la sensibilité au bruit cohérent d'une porte à résistances est inversement proportionnelle au nombre des entrées et qu'elle devient excessive dès que n dépasse deux.

Les raisonnements faits pour déterminer la sensibilité au niveau 1 sont bien entendu directement transposables pour le niveau 0.

II -2-4-3 Cas de la porte T T L bas niveau

Il paraît probable que le circuit de porte de la technologie T T L, comme ceux de la plupart des autres technologies, va se comporter de façon intermédiaire entre la porte idéale qui ne pourra être qu'approchée dans la pratique et la porte à résistances qui est la version la plus sommaire des portes utilisées. Nous allons étudier le cas du circuit T T L et pour ce faire, rechercher, dans le cas d'une porte à 2 entrées une relation liant V_{e1} à V_{e2} pour V_B constante. (Figure II -18)

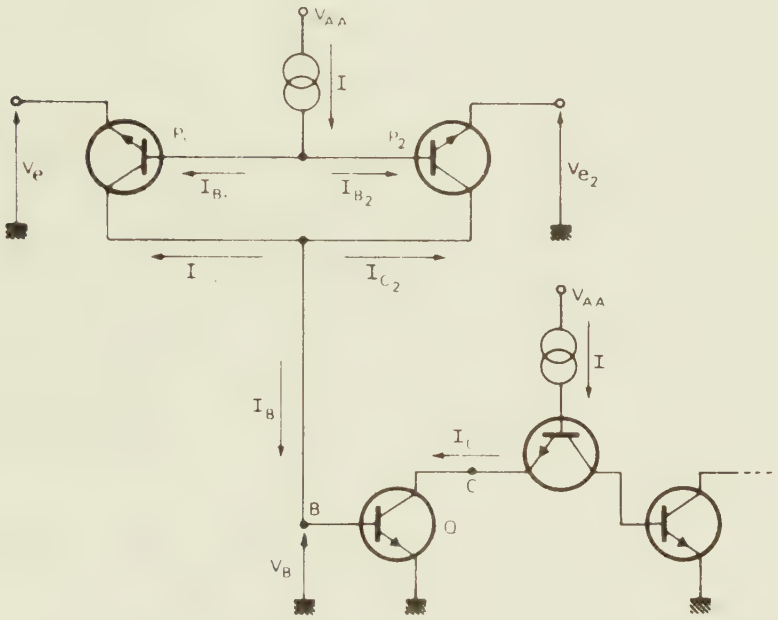


Fig II 18

Les transistors P_1 et P_2 supposés identiques, ce qui est pratiquement toujours vérifié surtout si l'on utilise un transistor multi-émetteurs intégré, sont caractérisés par leur paramètres β_{ip} et β_{np}.

Le transistor inverseur Q est caractérisé par β_i et β_n.

Dans ces conditions l' équation A-I-15 s'écrit en négligeant les résistances réparties :

$$V_{CE1} = U_T \text{ Log } \frac{\beta_{np}}{\beta_{ip}} \frac{1 + \beta_{ip} + \frac{I_{C1}}{I_{B1}}}{\beta_{np} - \frac{I_{C1}}{I_{B1}}} \qquad \text{II-15}$$

et

$$V_{CE2} = U_T \text{ Log } \frac{\beta_{np}}{\beta_{ip}} \frac{1 + \beta_{ip} + \frac{I_{C2}}{I_{B2}}}{\beta_{np} - \frac{I_{C2}}{I_{B2}}} \qquad \text{II-16}$$

L'étude du fonctionnement de la porte T T L faite au chapitre I-2 montre que les transistors P_1 et P_2 restent saturés lorsqu'ils fonctionnent en sens normal ; en conséquence on peut poser :

$$\beta_1 = \frac{I_{C1}}{I_{B1}} << \beta_{np} \quad \text{et} \quad \beta_2 = \frac{I_{C2}}{I_{B2}} << \beta_{np}$$

Ainsi :

$$V_{CE1} = U_T \text{ Log } \frac{1 + \beta_{ip} + \beta_1}{\beta_{ip}} \ldots \qquad \text{II-17}$$

$$V_{CE2} = U_T \text{ Log } \frac{1 + \beta_{ip} + \beta_2}{\beta_{ip}} \ldots \qquad \text{II-18}$$

De ces expressions on déduit :

$$\beta_1 = \beta_{ip} \exp\left(\frac{V_{CE1}}{U_T}\right) - \frac{\beta_{ip}}{\alpha_{ip}} \ldots \qquad \text{II-19}$$

$$\beta_2 = \beta_{ip} \exp\left(\frac{V_{CE2}}{U_T}\right) - \frac{\beta_{ip}}{\alpha_{ip}} \ldots \qquad \text{II-20}$$

D'autre part :

$$I_B = - (I_{C1} + I_{C2}) = - (\beta_1 I_{B1} + \beta_2 I_{B2}) \ldots \qquad \text{II-21}$$

On a montré à l'annexe A-II -2 que dans toutes conditions de fonctionnement de la porte, c'est-à-dire quelles que soient les valeurs relatives de V_{e1} et V_{e2}, les transistors P_1 et P_2 se partagent en parts égales le courant I.

$$I_{B1} = I_{B2} = \frac{I}{2}$$

L'équation II -21 devient : $I_B = -\frac{I}{2}(\beta_1 + \beta_2)$ II-22

Sachant que :

$$V_{CE1} = V_B - V_{e1}$$

$$V_{CE2} = V_B - V_{e2}$$

L'équation II -22 permet d'écrire compte tenu de II -14 et de II -20 :

$$\exp -\frac{V_{e1}}{U_T} + \exp -\frac{V_{e2}}{U_T} = \frac{2}{\beta_{ip}}\left(\beta_{ip} + 1 - \frac{I_B}{I}\right)\exp -\frac{V_B}{U_T} \qquad \text{II-23}$$

L'allure des courbes tracées à partir de cette équation est représentée à la figure II -19.

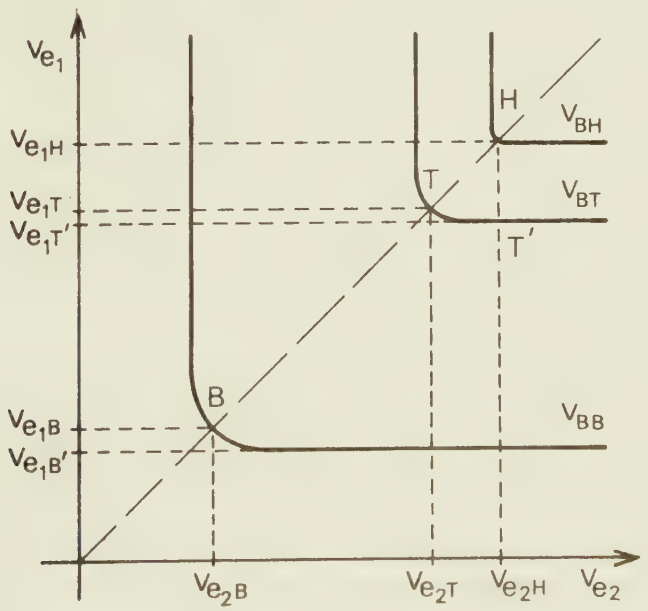


Fig.II 19

Remarque : La généralisation à une porte possédant n entrées est immédiate, le coefficient 2 du second membre de l'équation II -22 est remplacé par n et l'équation s'écrit dans le cas général :

$$\sum_{i=1}^{n} \exp -\frac{V_{ej}}{U_T} = \frac{n}{\beta_{ip}}\left(\beta_{ip} + 1 - \frac{I_B}{I}\right)\exp -\frac{V_B}{U_T} \qquad \text{II-24}$$

II -2-5 Etude des sensibilités au bruit de la porte T T L bas niveau, au niveau haut.

Pour la détermination de l'immunité au bruit nous avons montré l'importance des trois courbes particulières qui correspondent pour la sortie de la porte au point B (entrée de l'inverseur Q)

V_{BH} au niveau haut
V_{BB} au niveau bas
V_{BT} au niveau de transition

Pour le module T T L bas niveau, ces niveaux sont définis comme suit :

- Pour V_{BH} les deux entrées sont au niveau haut et le transistor Q est saturé avec un gain forcé β_f unité, si l'on suppose nul le gain en courant en inverse β_{ip} des transistors de porte.
- Pour V_{BB} l'une au moins des deux entrées est au niveau bas imposant le blocage du transistor Q, au courant de fuite près, le courant I_B est nul.
- Pour V_{BT} le transistor inverseur est à la limite de saturation.

On a alors :

$$I_B = \frac{I}{\beta_n}$$

La tension base-émetteur est donnée par l'équation A-I-5 qui s'écrit :

$$V_{BT} \simeq U_T \, \mathrm{Log}\left(\frac{I}{\beta_n} + (1 - \alpha_i)\, I \right) \frac{1}{I_{Eo}}$$

L'équation II-23 s'écrit alors :

$$\exp - \frac{V_{e1}}{U_T} + \exp - \frac{V_{e2}}{U_T} = \frac{2}{\beta_{ip}} \left(\beta_{ip} + 1 - \frac{1}{\beta_n} \right) \exp - \frac{V_{BT}}{U_T} \qquad \text{II-25}$$

II -2-5-1 Détermination de la sensibilité au bruit non cohérent

Cherchons les expressions des tensions V_{e1H} et V_{e2H} qui définissent la tension V_{BH} au point H de la figure II -19.

Sachant que $I_B = I$ pour le transistor Q la relation II -23 s'écrit :

$$\exp \frac{-V_{e1H}}{U_T} = \exp \frac{-V_{BH}}{U_T}$$

Soit :

$$V_{e1H} = V_{e2H} = V_{BH} \simeq U_T \text{ Log } \frac{I}{I_{Eo}} (2 - \alpha_i) \qquad \text{II-26}$$

La tension V_{e2} étant fixée à la valeur V_{e2H}, on cherche la tension $V_{e1T'}$ qui permet de faire passer V_B de V_{BH} à V_{BT} (transition H T').

La sensibilité au bruit non cohérent au niveau haut s'exprime :

$$NS1 = V_{e1H} - V_{e1T'}$$

La tension $V_{e1T'}$ satisfait à l'équation II -25 en conséquence :

$$\exp - \frac{V_{e1T'}}{U_T} + \exp - \frac{V_{BH}}{U_T} = \frac{2}{\beta_{ip}} (1 + \beta_{ip} - \frac{1}{\beta_n}) \exp - \frac{V_{BT}}{U_T}$$

En divisant les deux membres par $\exp - \frac{V_{BH}}{U_T} = \exp - \frac{V_{e1H}}{U_T}$ et compte tenu du fait que $\beta_n >> 1$ on obtient :

$$\exp \frac{V_{e1H} - V_{e1T'}}{U_T} \simeq - 1 + \frac{2}{\alpha_{ip}} \exp \frac{V_{BH} - V_{BT}}{U_T} \qquad \text{II-27}$$

II -2-5-2 Détermination de la sensibilité au bruit cohérent

Les tensions d'entrée étant initialement V_{e1H} et V_{e2H} la sortie est à V_{BH} (point H). On cherche les expressions de $V_{e1T} = V_{e2T}$ qui permettent d'amener V_B à V_{BT} (point T).

La sensibilité au bruit cohérent au niveau haut s'exprime :

$$CNS1 = V_{e1H} - V_{e1T}$$

il vient alors :

$$\exp - \frac{V_{e1T}}{U_T} = \frac{1}{\beta_{ip}} \left(1 + \beta_{ip} - \frac{1}{\beta_n} \right) \exp - \frac{V_{BT}}{U_T}$$

Compte tenu de l'équation II -26 et en supposant $\frac{1}{\beta_n} << 1$ on peut écrire :

$$\exp \frac{V_{e1H} - V_{e1T}}{U_T} \simeq \frac{1}{\alpha_{ip}} \exp \frac{V_{BH} - V_{BT}}{U_T} \qquad \text{II-28}$$

II -2-5-3 Comparaison entre les sensibilités au bruit cohérent et non cohérent au niveau haut

Les équations II -27 et II -28 permettent d'écrire :

$$\exp \frac{NS1 - CNS1}{U_T} \simeq 2 - \alpha_{ip} \exp - \frac{V_{BH} - V_{BT}}{U_T} \qquad \text{II-29}$$

Ces mêmes relations montrent que NS1 et CNS1 auront des valeurs d'autant plus grandes que le paramètre α_{ip} sera faible, résultat qui est en accord avec les conclusions du chapitre qui traite des facteurs de charge.

Pour ces raisons on choisira α_{ip} très faible. L'équation II -29 devient dans ces conditions :

$$\exp \frac{NS1 - CNS1}{U_T} \simeq 2$$

soit :

NS1 - CNS1 < 20 mV

Au niveau haut la sensibilité au bruit cohérent de la porte T T L est donc très voisine de la sensibilité au bruit non cohérent.

II -2-6 Etude des sensibilités au bruit au niveau bas de la porte T T L bas niveau

II -2-6-1 Sensibilité au bruit non cohérent

Cherchons les expressions des tensions V_{e1B} et V_{e2B} qui définissent la tension V_{BB} au point B de la figure II -19.

L'équation II -23 s'écrira sachant que $I_B = 0$

$$\exp - \frac{V_{e1B}}{U_T} = \frac{1}{\alpha_{ip}} \exp - \frac{V_{BB}}{U_T}$$

soit :

$$V_{e1B} = V_{e2B} = U_T \text{ Log } \alpha_{ip} + V_{BB}$$

où

$$V_{e1B} = V_{BB} - V_{CEsat}$$

On fixe par exemple $V_{e2B} < V_{e2T}$, le résultat précédent montre que la tension d'entrée la plus basse impose la tension V_B. Dans ces conditions la sensibilité au bruit non cohérent est théoriquement infinie.

Ce résultat peut être donné par l'équation II -23 qui devient :

$$\exp - \frac{V_{e1}}{U_T} + \exp - \frac{V_{e2B}}{U_T} = \frac{2}{\beta_{ip}} \left(\beta_{ip} + 1 - \frac{1}{\beta_n}\right) \exp - \frac{V_{BT}}{U_T}$$

soit :

$$\exp - \frac{NSo}{U_T} + 1 \simeq \exp - \frac{V_{BT} - V_{BB}}{U_T}$$

équation qui n'a pas de solution.

II -2-6-2 Sensibilité au bruit cohérent

Les tensions d'entrées étant initialement V_{e1B}, V_{e2B} la sortie est à $V_B = V_{BB}$ (point B). On cherche les expressions de $V_{e1T} = V_{e2T}$ qui permettent d'amener V_B de V_{BB} à V_{BT} (point T). L'équation s'écrit :

$$\exp - \frac{V_{e1T}}{U_T} = \frac{1}{\beta_{ip}} \left(\beta_{ip} + 1 - \frac{1}{\beta_n}\right) \exp - \frac{V_{BT}}{U_T}$$

Comme d'autre part $\frac{1}{\beta_n} << 1$ et que

$$\exp - \frac{V_{e1B}}{U_T} = \exp - \frac{V_{e2B}}{U_T} = \frac{1}{\alpha_{ip}} \exp - \frac{V_{BB}}{U_T}$$

il vient :

$$V_{e1T} - V_{e1B} = V_{BT} - V_{BB}$$

soit :

$$CNSo = V_{BT} - V_{BB} \qquad \text{II-30}$$

On remarquera que les résultats de ces deux paragraphes obtenus à partir de l'équation générale auraient pu l'être par un raisonnement physique sur le schéma du circuit en considérant que le transistor 0 est bloqué et que P_1 ou (et) P_2 est (sont) saturé (s) (Figure II-18).

II -2-6-3 Comparaison entre les sensibilités au bruit cohérent et non cohérent au niveau bas

Les tensions $V_{e1T'}$ et $V_{e1B'}$ de la figure II -19 peuvent être définies par exemple pour V_{e2} infini théoriquement dans le cas où $V_{e2} \geq V_{e2T}$ L'équation II -23 s'écrit alors :

$$\exp - \frac{V_{e1B'}}{U_T} = \frac{2}{\beta_{ip}} (\beta_{ip} + 1) \exp - \frac{V_{BB}}{U_T}$$

$$\exp - \frac{V_{e1T'}}{U_T} = \frac{2}{\beta_{ip}} (\beta_{ip} + 1 - \frac{1}{\beta_n}) \exp - \frac{V_{BT}}{U_T}$$

d'où

$$\exp \frac{V_{e1T'} - V_{e1B'}}{U_T} = \exp \frac{V_{BT} - V_{BB}}{U_T}$$

donc

$$V_{e1T'} - V_{e1B'} = V_{BT} - V_{BB} = CNSo$$

ce qui montre que NSo = CNSo

La sensibilité au bruit non cohérent au niveau bas est donc égale à la sensibilité au bruit cohérent.

II -2-7 Mesures et exploitation des résultats

II -2-7-1 Mesure des sensibilités au bruit

Nous avons tracé à la figure II -20 le réseau $V_{e1} = f(V_{e2})$ à V_B constante pour une porte T T L bas niveau à deux entrées.

Les transistors de porte, de type 2N 3607 sont identiques et sont caractérisés par $\beta_{ip} = 2{,}5/100$ et $\beta_n = 100$.

Le transistor inverseur est un 2 N709 pour lequel $\beta_i = 2{,}4/10$ et $\beta_n = 100$.

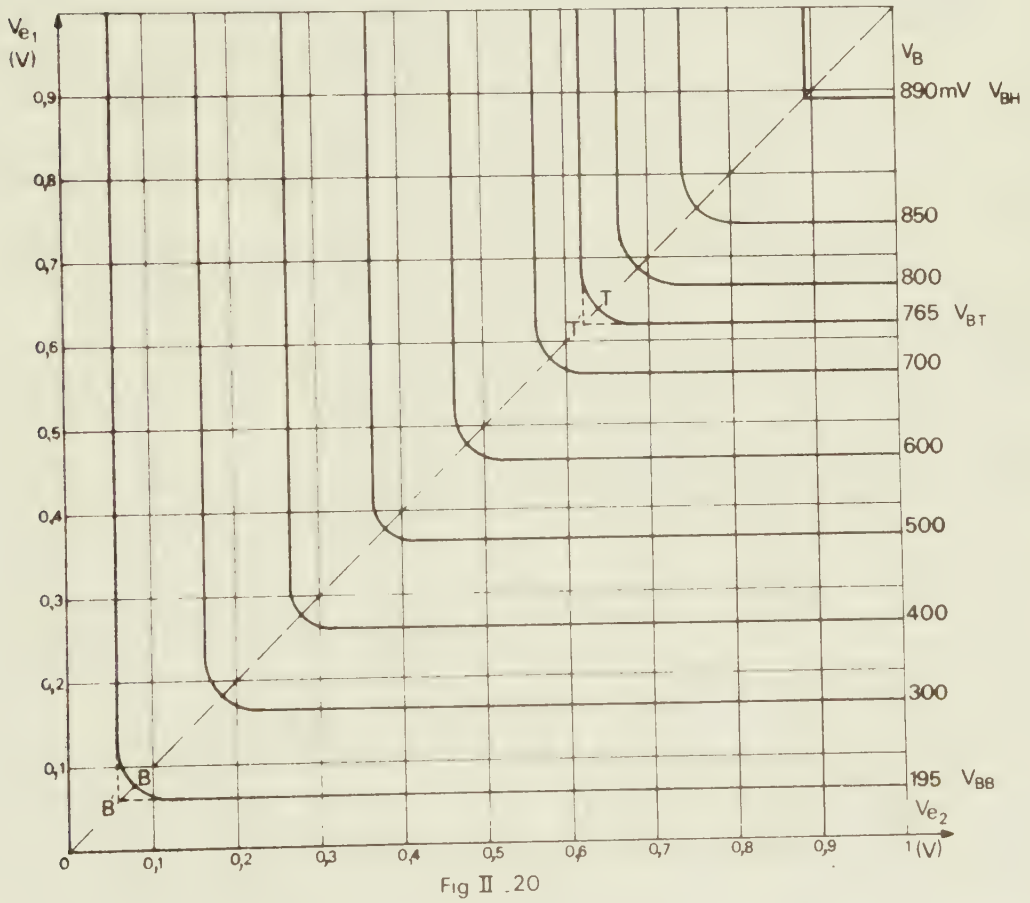


Fig II .20

Sur ce réseau on repère les courbes de niveau bas et de niveau haut.

- Le niveau bas en sortie de la porte, V_{BB}, est imposé par le transistor inverseur amont (V_e = 81 mV).
- Le niveau haut en sortie de la porte, V_{BH}, est imposé par le transistor inverseur Q du module étudié. (V_e vaut alors 890 mV).
- La détermination du niveau de seuil, V_{BT}, est faite sur la caractéristique de transfert du module (Figure II -21).

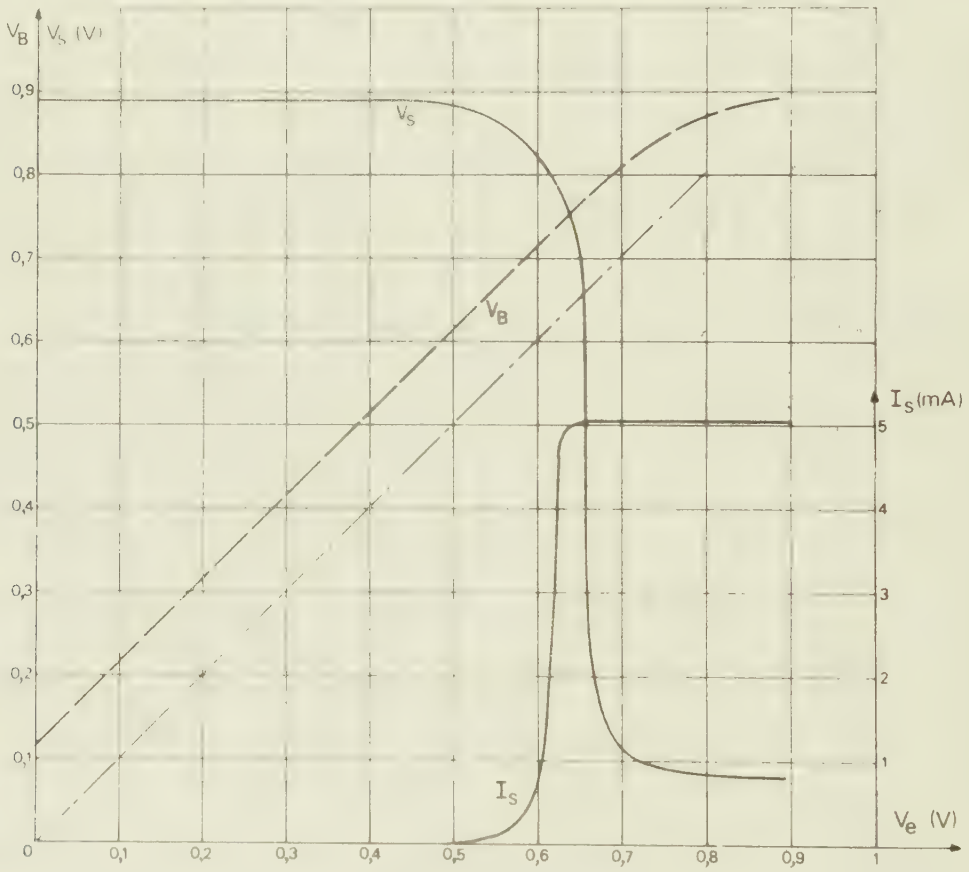


Fig II 21

On a défini le point T comme l'intersection de la caractéristique de transfert $V_s(V_e)$ et de la première bissectrice des axes de coordonnées.

On trouve ainsi :

$V_S = V_e$ = 650 mV

Sur ce même graphique on a reporté :
$V_B(V_e)$ et $I_s(V_e)$. On détermine V_{BT} correspondant à V_e = 650 mV

soit :
V_{BT} = 765 mV.

On remarque enfin qu'au passage par le point T le courant I_s atteint juste la valeur I = 5 mA, valeur à partir de laquelle le transistor va entrer dans sa zone de saturation.

On vérifie ainsi qu'au point T on peut écrire :

$$I_B = I_C = \beta_n I_B.$$

La mesure des sensibilités au bruit sur le réseau de la figure II -20 est alors immédiate.

On relève :

$$NSo = V_{eH} - V_{eT'} = 270 \text{ mV}$$

$$CNSo = V_{eH} - V_{eT} = 250 \text{ mV}$$

$$NS1 = V_{eT'} - V_{eB'} = 560 \text{ mV}$$

$$CNS1 = V_{eT} - V_{eB} = 560 \text{ mV}$$

de ces valeurs on déduit les immunités au bruit non cohérent et cohérent au niveau bas et au niveau haut :

$$NIo = \frac{NSo}{NSo + NS1} \simeq 32{,}5\ \%$$

$$NI1 = \frac{NS1}{NSo + NS1} \simeq 67{,}5\ \%$$

$$CNIo = \frac{CNSo}{CNSo + CNS1} \simeq 31\ \%$$

$$CNI1 = \frac{CNI1}{CNSo + CNI1} \simeq 69\ \%$$

II -2-7-2 Recherche des conditions donnant la plus grande excursion logique

Dans le cas d'une attaque simultanée des deux entrées, l'excursion logique peut s'exprimer sous la forme :

$$V_\ell = CNSo + CNS1$$

où CNSo et CNS1 sont données par les équations II -28 et II -30 soit :

$$\exp \frac{CNS1}{U_T} = \frac{1}{\alpha_{ip}} \exp \frac{V_{BH} - V_{BT}}{U_T} \qquad \text{II-28}$$

$$CNSo = V_{BT} - V_{BB}$$

avec :

$$V_{BT} \simeq U_T \text{ Log } \frac{I(1 - \alpha_i)}{I_{Eo}} \qquad \text{II-30}$$

$$V_{BH} = U_T \text{ Log } \frac{I(2 - \alpha_i)}{I_{Eo}}$$

$$V_{BB} = U_T \text{ Log } \frac{1}{\alpha_{ip}} + V_{e1b}$$

sachant que $V_{e1B} = V_{e2B} = V_{CEsat} \simeq U_T \text{ Log } \frac{2 - \alpha_i}{\alpha_i}$

$$V_{BB} \simeq U_T \text{ Log } \frac{2 - \alpha_i}{\alpha_i \, \alpha_{ip}}$$

Il vient ainsi :

$$CNSo = U_T \text{ Log } \frac{I(1 - \alpha_i)\alpha_{ip}\alpha_i}{(2 - \alpha_i) I_{Eo}}$$

$$CNS1 = U_T \text{ Log } \frac{2 - \alpha_i}{\alpha_{ip}(1 - \alpha_i)}$$

d'où

$$V_\ell = U_T \text{ Log } \frac{\alpha_i I}{I_{Eo}}$$

La valeur optimale du courant I étant définie par l'étude dynamique du module, l'excursion logique V_ℓ sera maximale si le coefficient de transfert de courant α_i du transistor inverseur est le plus proche de 1 (β_i élevé).

II -2-7-3 Recherche des conditions d'égalisation des sensibilités au bruit cohérent aux niveaux haut et bas.

Soit à réaliser la condition suivante :

$CNSo = CNS1$

égalité qui s'écrit :

$$\frac{I(1 - \alpha_I)\alpha_{ip}\alpha_i}{(2 - \alpha_i)\, I_{Eo}} = \frac{2 - \alpha_i}{\alpha_{ip}(1 - \alpha_i)}$$

d'où

$$\alpha_{ip} = \frac{2 - \alpha_i}{1 - \alpha_i} \sqrt{\frac{I_{Eo}}{I\alpha_i}}$$

Sachant que le choix de $\alpha_i \simeq 1$ entraîne une excursion logique maximale il vient :

$$\alpha_{ip} \simeq \beta_i \sqrt{\frac{I_{Eo}}{I}}$$

relation qui montre que l'égalisation des sensibilités au bruit cohérent pour les deux niveaux logiques nécessite l'emploi de transistors de porte à α_{ip} très faible.

On remarque cependant que cette relation ne pourra être pratiquement vérifiée avec les valeurs de α_{ip} obtenues actuellement.

On remarque aussi qu'elle sera d'autant mieux vérifiée que β_i sera grand, ce qui rejoint les conclusions du paragraphe précédent.

II-2-8 Conclusion

Nous avons complété les méthodes de détermination des immunités au bruit statique par une méthode qui prend en compte le bruit qui arrive en phase sur les entrées d'une porte ; bruit que nous avons appelé cohérent. Cette méthode est générale et elle apporte un nouvel élément de caractérisation des circuits logiques ; l'immunité au bruit cohérent.

L'application de cette méthode au circuit T T L bas niveau donne des résultats théoriques, issus de l'analyse du circuit, qui font apparaître que, au niveau bas, la sensibilité au bruit cohérent est identique à la sensibilité au bruit non cohérent et qu'au niveau haut la sensibilité au bruit cohérent n'est que de 8 % inférieure à la sensibilité au bruit non cohérent.

L'étude expérimentale confirme très exactement ces résultats.

Enfin quant au choix des paramètres des transistors dans le but d'un accroissement de la sécurité de fonctionnement du circuit, on a montré que l'utilisation de transistors inverseurs à grand gain inverse β_i accroît l'excursion logique et favorise l'égalisation des sensibilités au bruit.

Enfin, on montre la nécessité d'utiliser des transistors de porte à α_{ip} faible, ce qui corrobore les conclusions de l'étude des facteurs de charge faite au chapitre précédent.

II -3 LE BRUIT DANS LES CIRCUITS LOGIQUES - BRUIT DYNAMIQUE

II -3-1 Définition

On appelle bruit dynamique un signal perturbateur de tension ou de courant dont on précise la polarité et l'amplitude et dont la durée est du même ordre de grandeur que le temps de traversée du module logique considéré.

II -3-2 Origine physique des parasites de courte durée

Outre la création de signaux parasites par réflexion et transmission par couplage des fronts utiles (8), l'étude détaillée de toute technologie montre l'existence de sources de signaux parasites inhérentes à la conception du circuit électronique. Ces signaux perturbateurs sont le plus souvent créés par des variations rapides de courant lors des transitions. Ces variations sont certes indispensables puisque sources des variations de niveaux logiques mais elles sont presque toujours assorties d'importants dépassement des valeurs statiques nominales.

Nous distinguerons deux origines de ces parasites : ceux qui sont créés par un appel d'énergie à une source extérieure au circuit au moment de la commutation et ceux qui sont dus à un transfert d'énergie au niveau du circuit.

Dans le premier cas le parasite va obligatoirement affecter la totalité des circuits logiques alimentés par la même source d'alimentation perturbée. Une illustration de ce cas est donnée par l'observation, lors de la commutation, du courant appelé sur la ligne d'alimentation de circuits logiques de diverses technologies. (Figure II -22, a, b, c)

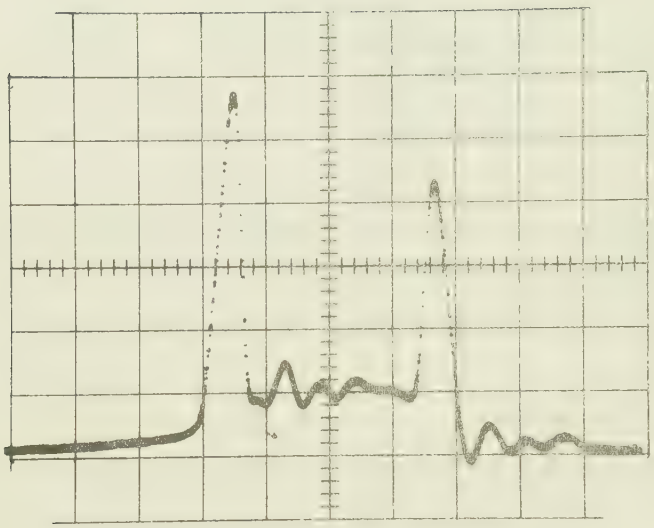


Figure II -22-a

Oscillogramme du courant d'alimentation d'un circuit T T L 7 400
V : 2 mA/carreau
H : 50 ns/carreau

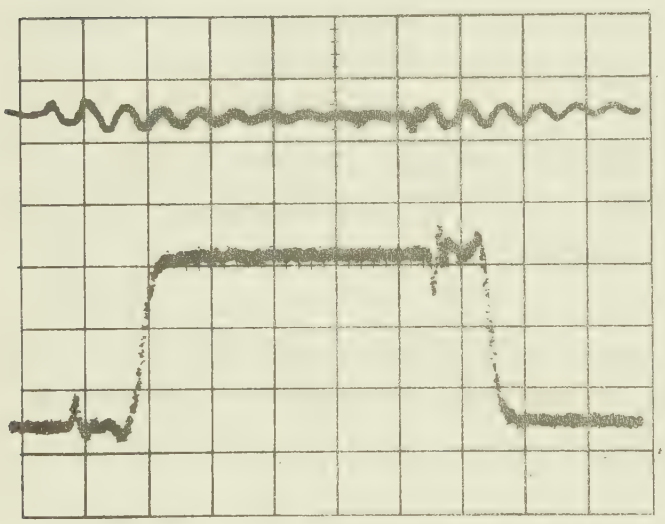


Figure II -22-b

Oscillogramme du courant d'alimentation et de la tension de sortie d'un circuit E C L MC 10 10
V { haut : 2 mA/carreau
  { bas : 0,2V/carreau
H : 10 ns/carreau

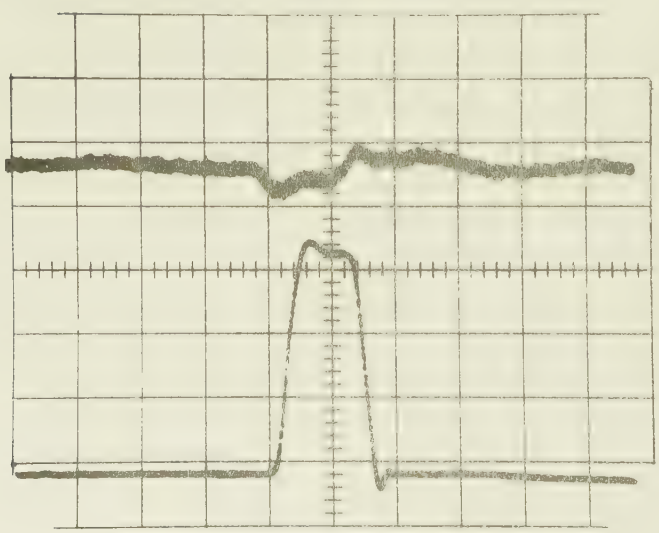


Figure II -22-c

Oscillogramme du courant d'alimentation et de la tension de sortie d'un circuit T T L bas niveau
V { haut 1 mA/carreau
  { bas 0,2V/carreau
H : 10 ns/carreau

On observe que pour les circuits T T L 74 seul un découplage énergique au niveau de chaque circuit ou de chaque groupe de circuit permet de minimiser les effets parasites. Par contre le circuit E C L comme le circuit T T L bas niveau présentent l'avantage de travailler à courant d'alimentation pratiquement constant.

Le second cas envisagé apparaît avec les circuits rapides à transistors fonctionnant en régime bloqué-saturé. La désaturation énergique des transistors se fait par des appels de courants brefs et très importants.

Le parasite, de très faible durée, qui apparaît est alors localisé au niveau du circuit de désaturation. Il n'est plus possible d'envisager le découplage. Dans le cas où une liaison par ligne est nécessaire on recherche l'implantation optimale (9). Les circuits TTL bas niveau entrent dans cette catégorie. La mesure du courant de désaturation de l'inverseur fait apparaître au moment de la commutation un pic de 7,5 mA et de 2,5 ns de largeur à mi-hauteur. (Figure II -23).

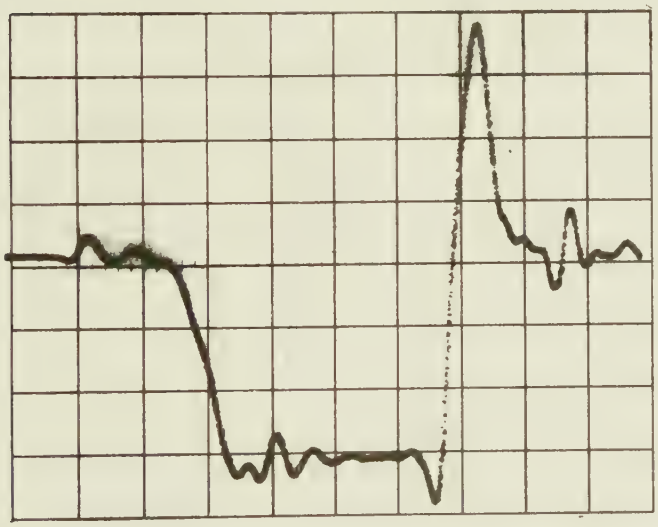


Figure II -23

Oscillogramme du courant de désaturation de l'étage inverseur d'un circuit T T L bas niveau.
V : 2 mA/carreau
H : 5 ns/carreau

Enfin il convient de remarquer que les deux origines de bruit dynamique que nous venons de signaler peuvent fort bien exister simultanément. C'est le cas par exemple des circuits T T L 54/74 et 54S/74S.

Le courant mesuré entre deux portes 7 400 présente en effet un pic de 5 mA et de 4 ns de largeur (Figure II -24-a).

Le courant mesuré entre deux portes de technologie T T L Schottky 74S00 présente à la mise en conduction et au blocage un pic de 12 mA et de 3 ns de largeur (Figure II -24-b).

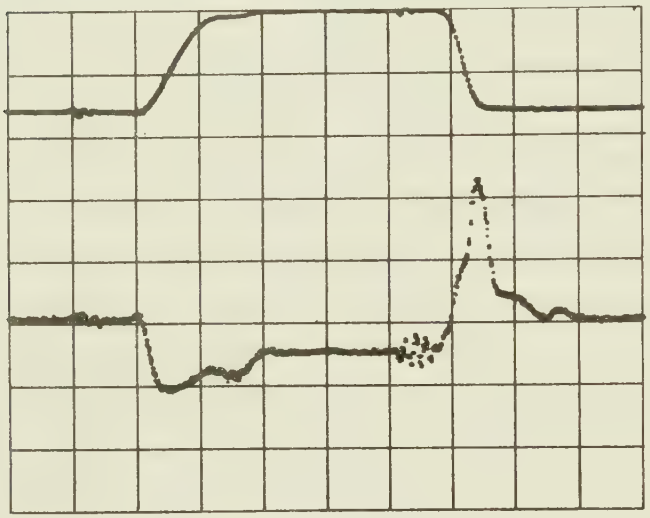


Figure II -24-a

Oscillogramme de la tension et du courant de commande d'un circuit T T L 7 400.

V { haut 2V/carreau
  { bas 2mA/carreau

H : 10 ns/carreau

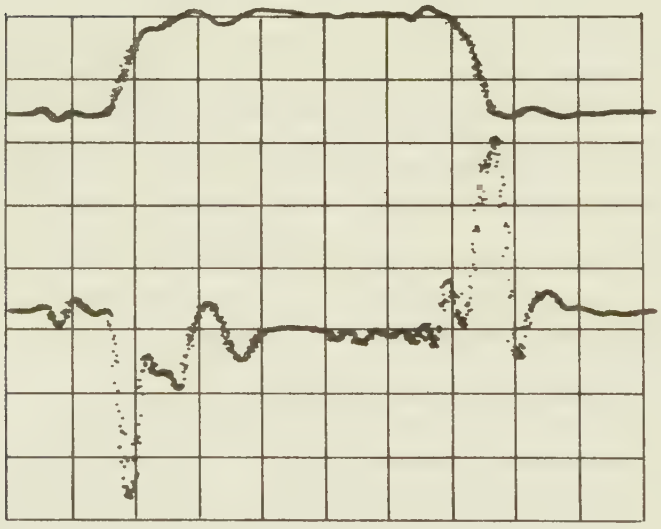


Figure II -24-b

Oscillogramme de la tension et du courant de commande d'un circuit T T L 74 S 00.

V { haut 2V/carreau
  { bas 4mA/carreau

H 5 ns/carreau

II -3-3 Méthodes usuelles de détermination des sensibilités d'un module logique au bruit dynamique.

La mesure de la sensibilité d'un module logique au bruit impulsionnel ne paraît pas à première vue poser de problème particulier. Il suffit en effet d'attaquer le module par une impulsion qui simule le signal parasite et d'en observer l'effet sur la sortie.

Pour des raisons de commodité cette impulsion est en général délivrée par un générateur de tension, sa durée et son amplitude sont réglables.

Il faut cependant remarquer qu'avec les technologies rapides les capacités parasites créent une liaison non négligeable entre l'entrée et la sortie du module testé, liaison qui entraîne l'existence d'un signal en sortie quel que soit le niveau du signal appliqué à l'entrée. C'est pourquoi, et afin d'éviter des erreurs d'interprétation, on évalue l'effet perturbateur du signal parasite sur les modules situés en aval du module testé.

Nous allons décrire deux méthodes qui sont basées sur ce principe. Elles diffèrent par le critère choisi pour définir le seuil de perturbation. L'une et l'autre supposent que le module testé est inséré dans une chaîne logique et que le signal parasite est injecté au niveau des liaisons entre circuits.

II -3-3-1 Observation de la convergence vers un état en bout de chaîne logique.

Cette méthode découle de celle que nous avons décrite en II-3-2 lors de la présentation des méthodes usuelles de détermination des immunités au bruit statique. Il s'agit d'observer le franchissement d'un seuil au delà duquel le signal de sortie du module testé, amplifié par les modules qui le suivent, va entraîner le dernier module de la chaine vers l'état complémentaire de son état initial. On remarquera que plus la chaîne est longue, plus grande est la précision de la détermination du franchissement du seuil.

Un moyen de mesure qui permet la mise en oeuvre de cette méthode consiste à brancher en bout de chaine un indicateur de perturbation constitué par une bascule set reset réalisée avec deux modules

identiques au module testé . (10). Le branchement de cette bascule équivaut à connecter deux modules supplémentaires en série dans la chaine, le rebouclage assurant la mise en mémoire de l'information. Le nombre n d'étages intermédiaires sera pair ou impair selon que l'on étudiera l'effet de la perturbation sur le niveau haut ou le niveau bas à l'entrée du module testé. Le schéma de principe du montage de mesure est représenté à la figure II -25.

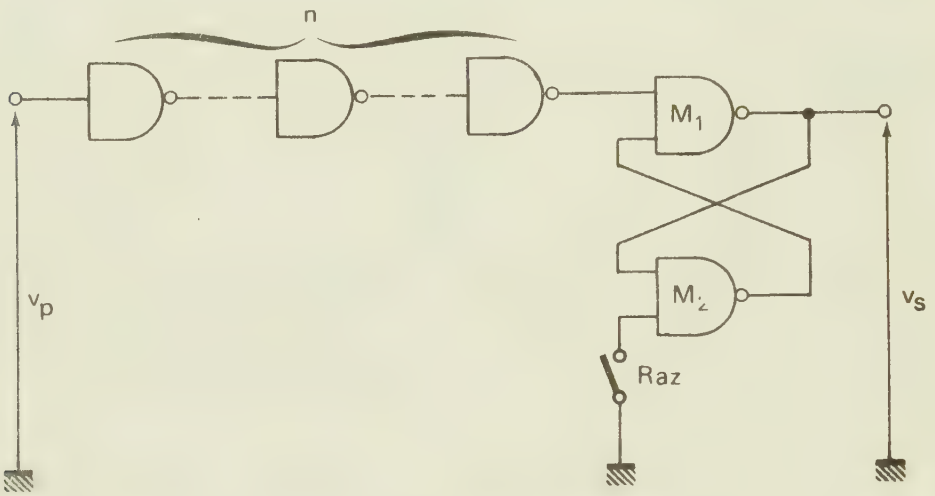


Fig. II.25

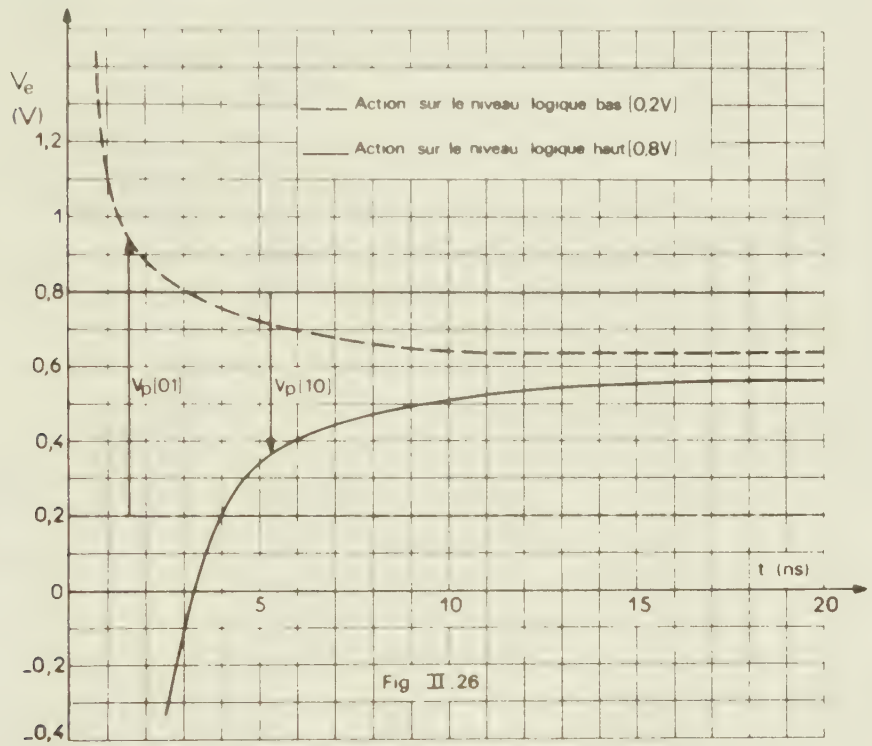
Lorsque l'entrée est au niveau logique bas, n est impair la porte M_1 met en mémoire l'effet de la tension positive de bruit qui a provoqué la destruction des niveaux logiques des portes précédentes. Lorsque cette mise en mémoire est effectuée par la confirmation dans l'état 1 de la bascule constituée par les portes M_1 et M_2 la porte testée T n'a plus d'influence. On peut donc lire l'état du circuit de test sur l'une des sorties de la bascule au moyen d'un simple voltmètre ou d'un indicateur lumineux.

Lorsque l'entrée est au niveau logique haut, n est pair et l'impulsion de bruit simulé est maintenant négative. Il suffit d'ajouter où de retrancher un étage intermédiaire entre T et M_1, ce qui rend n pair, pour que l'indicateur précédent puisse être utilisé sans modification.

Nous avons appliqué cette méthode de mesure au circuit T T L bas niveau. Dans les deux cas l'impulsion de bruit est délivrée par un générateur à relais à mercure Tektronix type 109 qui donne des impulsions d'amplitude réglable et de temps de montée et de descente de 0,25 ns environ.

La durée de l'impulsion est déterminée par la longueur de la ligne qui charge le relais ; la fréquence de récurrence est de 600 Hz. Un générateur de tension d'offset permet d'ajuster le niveau continu de sortie du générateur d'impulsions aux valeurs des niveaux bas ou haut à l'entrée de la porte testée.

Les résultats sont présentés sous forme de courbes donnant la valeur de la tension d'entrée V_e qui provoque le basculement du détecteur, en fonction de la durée de l'impulsion. Figure II -26.



Sur ces courbes on observe que :

- Pour des largeurs d'impulsions supérieures à 10 ns on retrouve les résultats acquis lors de l'étude de l'immunité au bruit statique.

- Pour des largeurs d'impulsion de l'ordre de grandeur du temps de traversée du module θ=3,5ns l'immunité au bruit négatif est comparable à l'immunité au bruit positif (11). Ce résultat présente un intérêt particulier parce que les impulsions de bruit de cette durée sont celles qui constituent la majeure partie du bruit interne.

II -3-3-2 Observation du franchissement d'un niveau

Cette méthode d'étude proche de la précédente mais plus restrictive est utilisée lorsqu'on souhaite étudier l'immunité au bruit dynamique d'un module pris isolément (12). Pour cela on détermine le niveau maximal de parasite admissible en sortie. Ce niveau est égal à la différence entre le niveau logique extrémal défini dans les spécifications du constructeur et le niveau logique existant en sortie du module en l'absence de parasite. Au niveau maximal de parasite admissible en sortie on fait correspondre le niveau maximal de parasite admissible à l'entrée. Dans ces conditions on peut, dans une chaîne, ajouter sur chaque module des signaux parasites sans entraîner la convergence vers l'état complémentaire de l'état initial en bout de chaine à condition que chacun de ces signaux parasites ait une amplitude inférieure au niveau maximal admissible à l'entrée.

Cette méthode peut être illustrée, pour le module T T L bas niveau, par le schéma de la figure II -27.

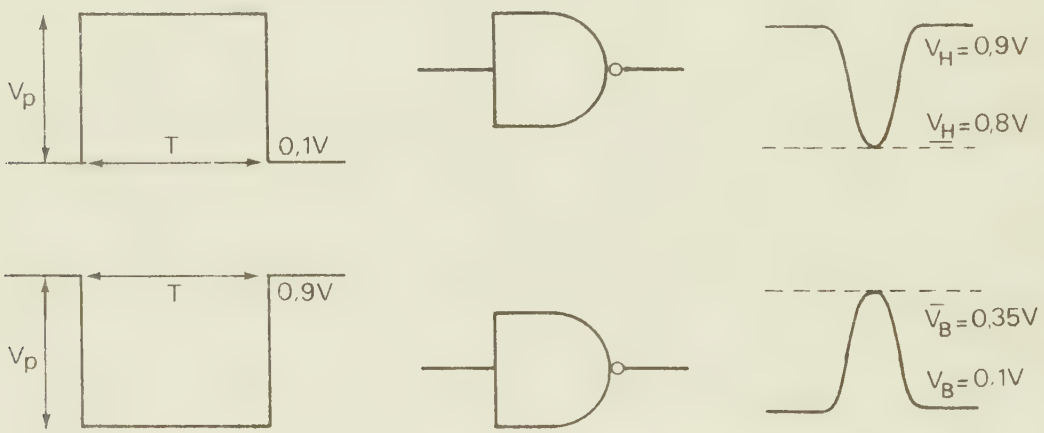


Fig. II-27

II -3-4 Méthode de détermination des sensibilités d'un module logique à l'énergie que lui apporte un signal parasite.

II -3-4-1 Définitions

Pour des raisons de commodité de mesure le signal parasite est, on vient de le voir, considéré comme issu d'un générateur de tension. Si l'on disposait de générateurs de courant assez performants on pourrait de même considérer un courant parasite. En fait la seule grandeur caractéristique intrinsèque du circuit est l'énergie qui doit lui être fournie ou retirée pour le faire changer d'état. La détermination de l'énergie perturbatrice est la seule méthode qui permette de s'affranchir des caractéristiques des sources de bruit.

Nous considérerons que le module testé est inséré dans une chaîne et que le signal parasite est injecté au niveau des liaisons entre circuits.

Nous définirons l'énergie perturbatrice W_p comme la valeur minimale de l'énergie qui amène le circuit au point de transition. Nous repérerons le passage par le point de transition par la commutation du détecteur à mémoire placé en bout de chaîne comme dans le cas du circuit de test présenté en II -3-3-1.

II -3-4-2 Principe, montage et processus de mesure

Comme on ne connaît pas a priori l'impédance du circuit qui reçoit le signal parasite, il est nécessaire de connaître simultanément la tension v qui apparaît au point de test et le courant i qui y est apporté par le générateur de signal parasite. De ces deux grandeurs on déduira la puissance instantanée puis par intégration l'énergie correspondante.

Nous avons étudié un montage de mesure qui permet de déterminer simultanément v et i avec précision sans altérer les conditions de fonctionnement de la chaine.

Pour cela nous avons dû faire appel à une méthode de mesure indirecte où v et i sont déduits de la comparaison de deux mesures de tension, l'une en présence du dipôle constitué par la sortie du circuit en amont du point de test et l'entrée du circuit en aval ; l'autre en circuit ouvert.

L'élaboration de cette méthode et du montage qui en permet la mise en oeuvre est développée en annexe A-II -3. Le schéma du circuit de mesure est représenté à la figure II -28.

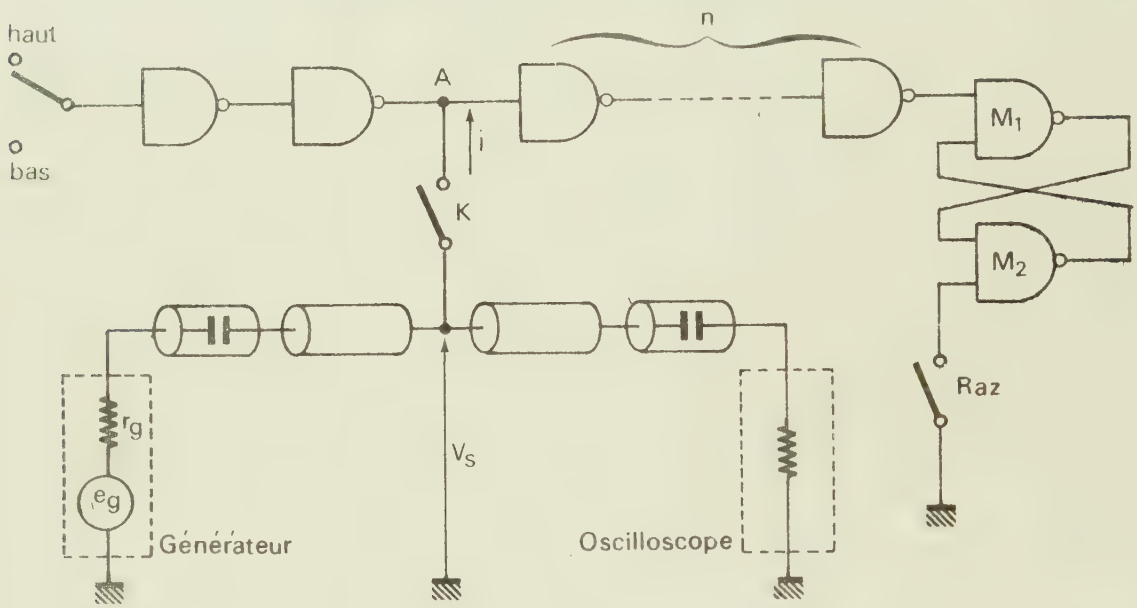
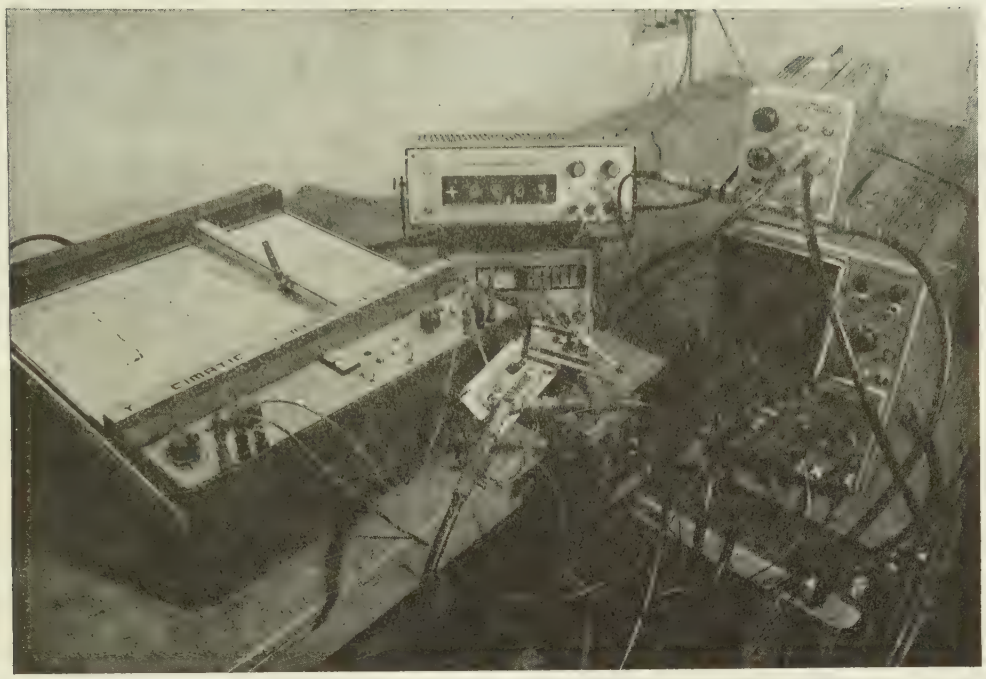


Fig. II_28

Des mesures de v_{s1} lorsque K est fermé et de v_{s2} lorsque K est ouvert on déduit v(t) et i(t).

Les impulsions simulant le bruit sont fournies par un générateur à relais à mercure TEKTRONIX type 109. Elles présentent, après passage dans une ligne à retard, un temps de montée inférieur à 0,6 ns ; leur largeur à la base est réglable, au delà de 1,2 ns, au moyen d'un câble de mise en forme ; leur fréquence de récurrence est de l'ordre de 300 Hz donc suffisamment faible pour que l'on puisse assimiler chaque impulsion à un signal unique.

L'oscilloscope est un oscilloscope à échantillonnage TEKTRONIX type 561 A équipé des tiroirs 3T2 et 3S2 et des têtes d'échantillonnage S2 ; il est couplé à une table traçante CIMATIC type M 100. Le temps de montée de l'ensemble est inférieur à 0,1 ns, ce qui permet d'observer la forme exacte du signal. La photographie du banc de mesure est présentée à la figure II -29.



Les câbles coaxiaux de liaison ont une longueur au moins égale à 2 m de sorte que l'observation des signaux ne soit pas perturbée par d'éventuelles réflexions pendant 20 ns, intervalle de temps largement suffisant pour l'étude que nous avons à faire.

L'interrupteur K n'existe pas. Le circuit de test est en effet branché sur la ligne de transmission au niveau du point commun à deux prises coaxiales qui reçoivent, l'une le câble de liaison au générateur, l'autre le câble de l'oscilloscope. L'élimination du circuit testé se fait en connectant directement les deux câbles.

Nous avons vérifié la qualité de la transmission de la prise d'énergie ainsi réalisée en la comparant à la transmission directe. Pour cela nous avons déconnecté le circuit du point A et nous avons relevé la forme du signal délivré par le générateur en utilisant la prise et en liaison directe . Les deux courbes obtenues sont pratiquement superposables et les erreurs introduites par la prise sont en tout cas inférieures à celles qu'apporte l'utilisation de la table traçante.

On opérera donc les branchements et débranchements du dipôle au moyen des prises coaxiales en laissant le circuit constamment connecté en A.

On a montré que le circuit de test doit être modifié selon que l'on mesure la sensibilité au bruit au niveau haut ou au niveau bas, le nombre d'étages n placés entre le point de test et la mémoire devant être pair dans le premier cas et impair dans le second. Sur le plan pratique il faut noter que l'élimination de l'un de ces étages ne peut se faire par simple court circuit entre son entrée et sa sortie,en effet dans ce cas l'étage court circuité est un autooscillateur qui vient perturber les niveaux sur la chaine.

Le processus de mesure se déroule comme suit :

Le circuit à mémoire chargé de détecter un changement d'état en bout de chaine est initialement mis à zéro à l'aide de l'interrupteur Raz. Selon que l'on mesure la sensibilité au bruit au niveau bas ou au niveau haut on fait délivrer au générateur e_g une impulsion positive ou négative dont on fixe la largeur. On augmente progressivement l'amplitude de cette impulsion jusqu'à ce qu'elle provoque la commutation du circuit détecteur. Pour cette valeur de l'amplitude on relève à la table traçante la forme de ce signal v_{s1}. On débranche ensuite le circuit testé et on relève la forme du signal v_{s2} que délivrait le générateur.

La forme de la tension v recherchée est donnée directement par $v_{s1}(t)$.

La forme du courant i est déduite de la différence entre $v_{s1}(t)$ et $v_{s2}(t)$ selon la relation :

$$i = \frac{v_{s1}(t) - v_{s2}(t)}{R_g}$$

De ces résultats on déduit la puissance instantanée $P_i(t)$ et par intégration graphique de cette courbe on obtient l'énergie W_p fournie au circuit à chaque impulsion.

II -3-4-3 Détermination de la sensibilité au bruit au niveau haut

Pour illustrer la mesure de la sensibilité au bruit au niveau haut nous présentons trois séries de courbes H_1, H_2 et H_3 qui sont chacune, pour une largeur donnée de l'impulsion parasite, un exemple concret du processus de détermination de l'énergie minimale à fournir au circuit pour entraîner la destruction de l'information en bout de chaîne.
(Figures II -30, II -31 et II -32).

Sur chacun des graphiques on a reporté en fonction du temps : $v = v_{s1}$, v_{s2}, i et P_i.

Nous avons choisi de présenter ces trois séries de courbes parmi celles que nous avons relevées parce qu'elles sont chacune significative du comportement du circuit testé soumis à des impulsions de largeur donc d'amplitude différente.

Le schéma électrique du circuit testé est représenté à la figure II -33.

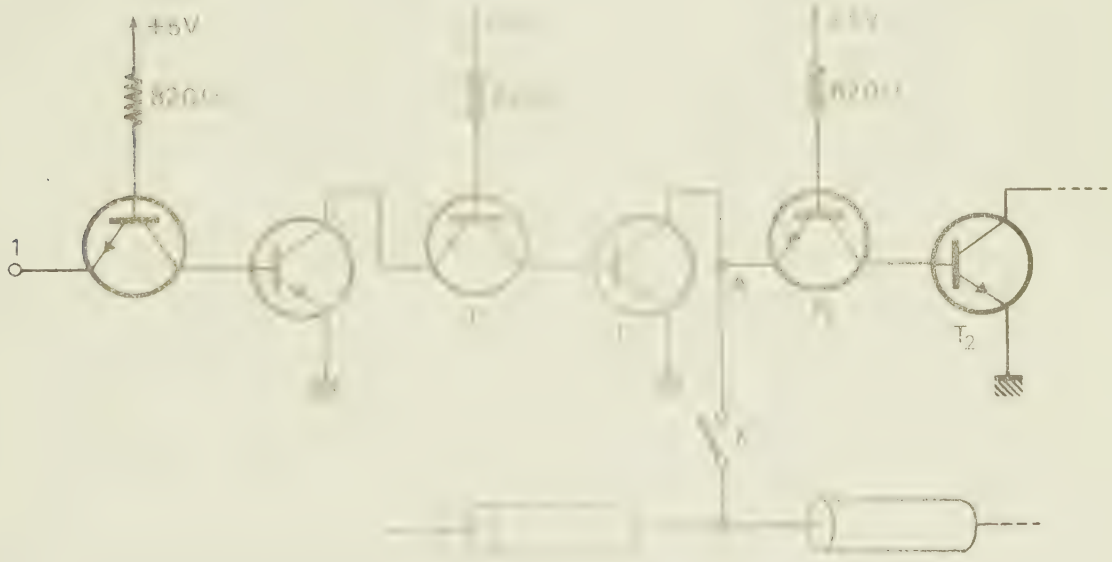
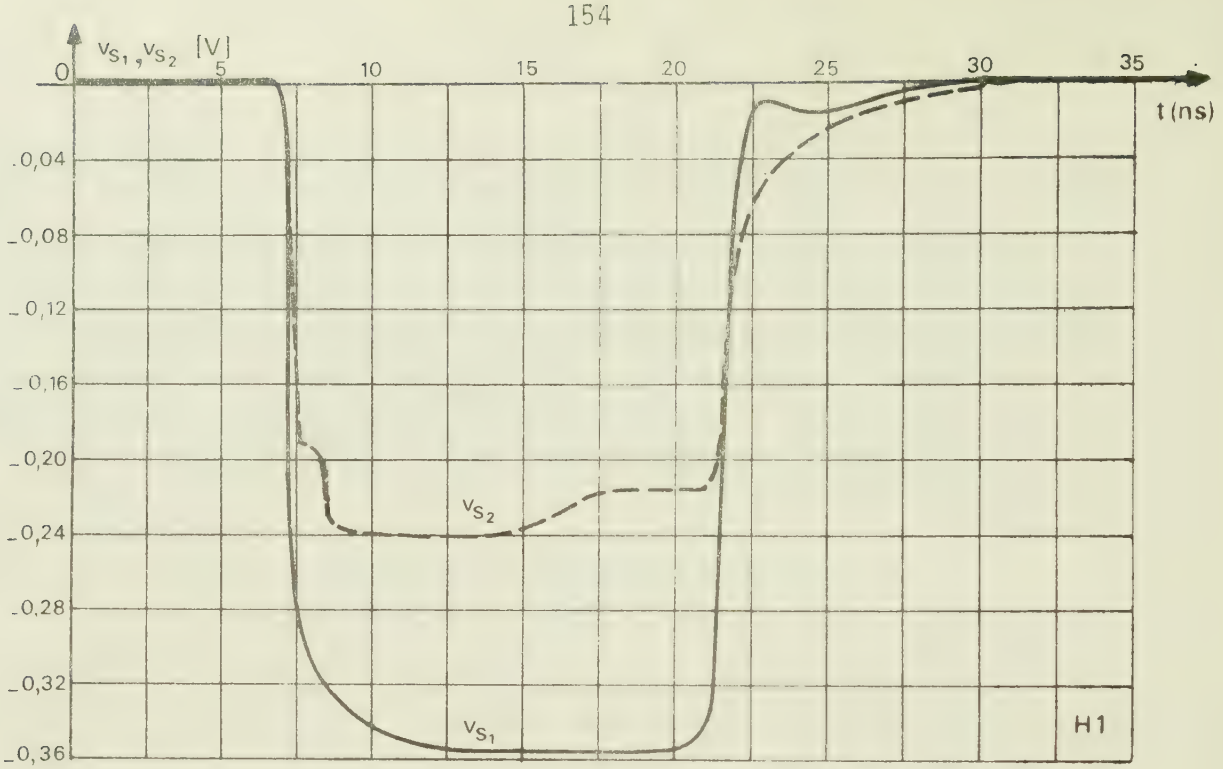
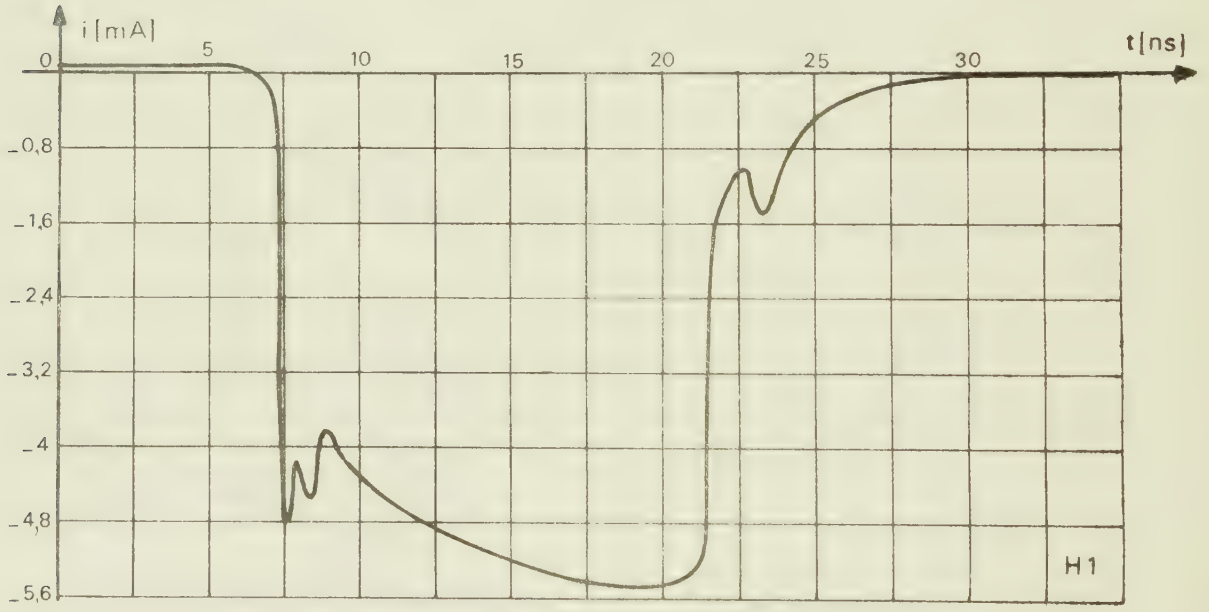


Fig. II -33

Dans cet état le transistor inverseur T_1 de l'étage amont est normalement bloqué alors que l'inverseur T_2 de l'étage aval est saturé avec un courant de base I.

L'impulsion négative est sans effet sur T_1 tant que son amplitude n'est pas suffisante pour rendre passante la jonction base collecteur de ce transistor ; elle est par contre active sur T_2 qu'elle attaque par l'intermédiaire de P_2 et qu'elle tend à désaturer.


v_{S_1}, v_{S_2} [V]
0
5
10
15
20
25
30
35
t (ns)
-0,04
-0,08
-0,12
-0,16
-0,20
-0,24
-0,28
-0,32
-0,36
v_{S_2}
v_{S_1}
H1


i [mA]
t [ns]
0
5
10
15
20
25
30
-0,8
-1,6
-2,4
-3,2
-4
-4,8
-5,6
H1

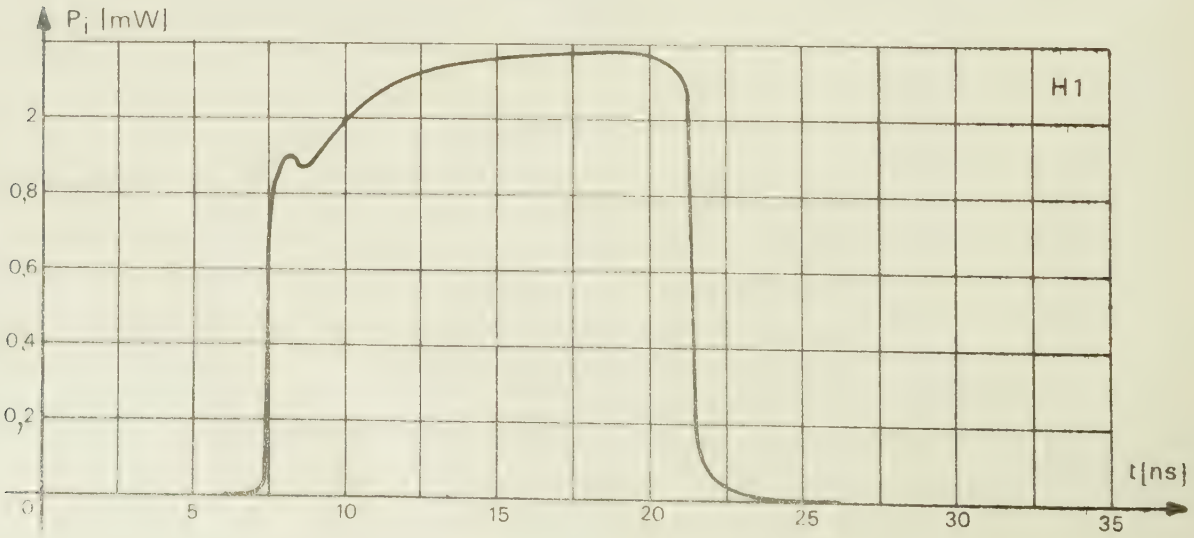
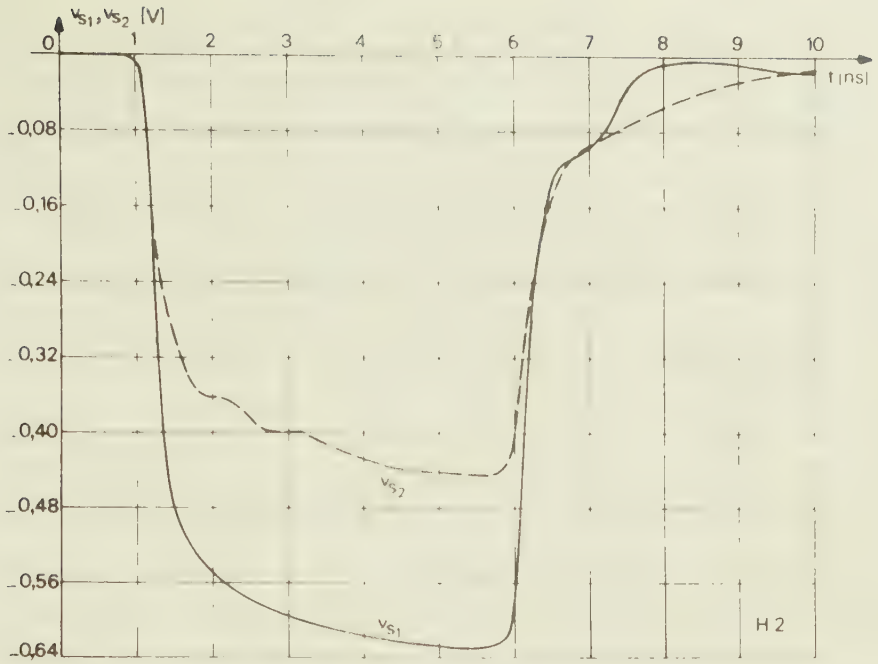
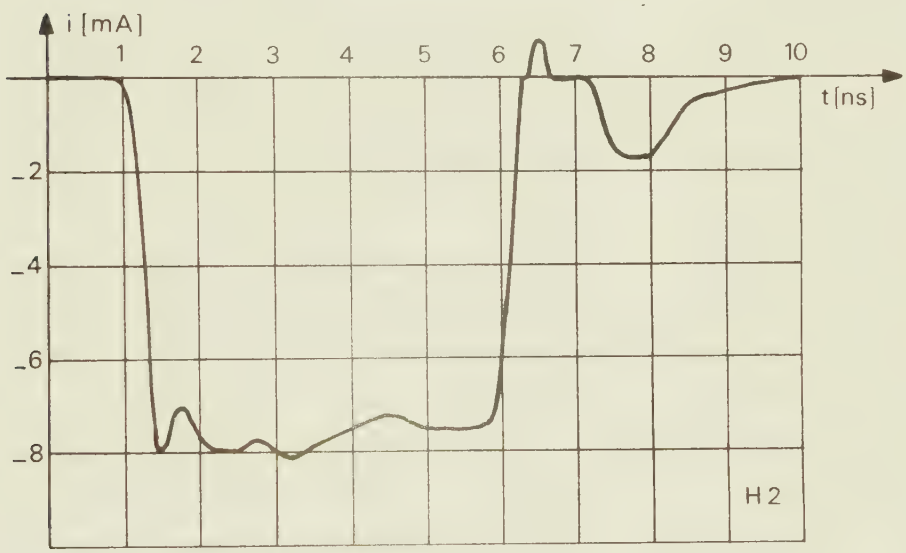

P_i [mW]
H1
2
0,8
0,6
0,4
0,2
0
5
10
15
20
25
30
35
t [ns]

Fig. II.30


v_{S1}, v_{S2} [V]
0
-0,08
-0,16
-0,24
-0,32
-0,40
-0,48
-0,56
-0,64
1
2
3
4
5
6
7
8
9
10
t [ns]
v_{S2}
v_{S1}
H 2


i [mA]
1
2
3
4
5
6
7
8
9
10
t [ns]
-2
-4
-6
-8
H 2

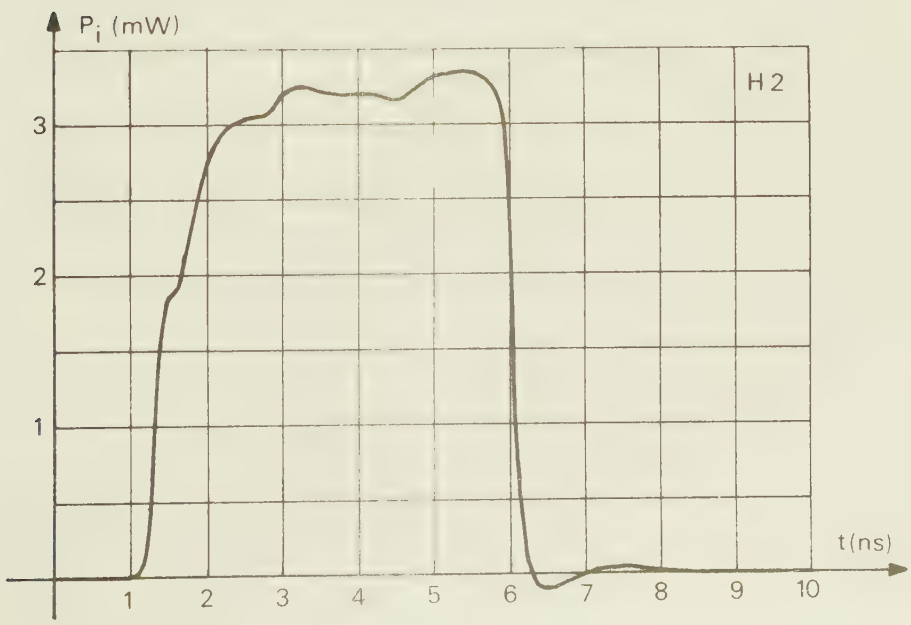
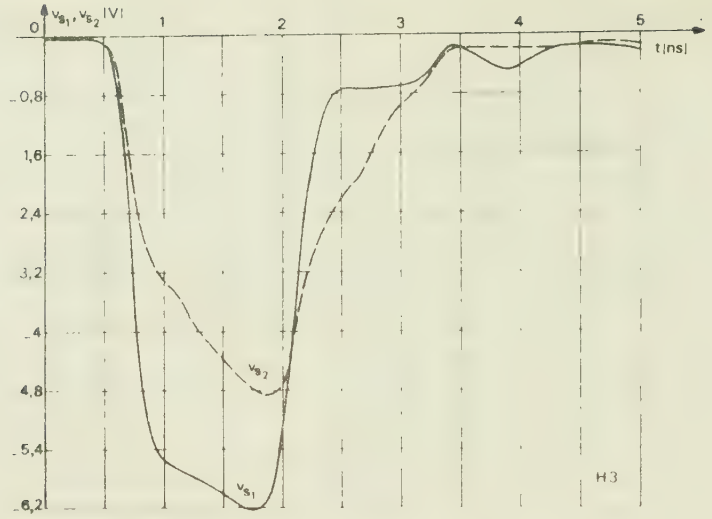
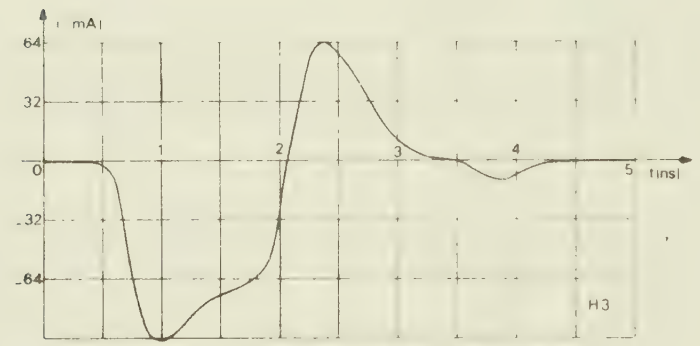

P_i (mW)
H 2
3
2
1
1
2
3
4
5
6
7
8
9
10
t(ns)

Fig. II .31


v_{s_1}, v_{s_2} [V]
0
1
2
3
4
5
t[ns]
-0,8
-1,6
-2,4
-3,2
-4
-4,8
-5,4
-6,2
v_{s_2}
v_{s_1}
H3


i [mA]
64
32
0
-32
-64
1
2
3
4
5
t[ns]
H3

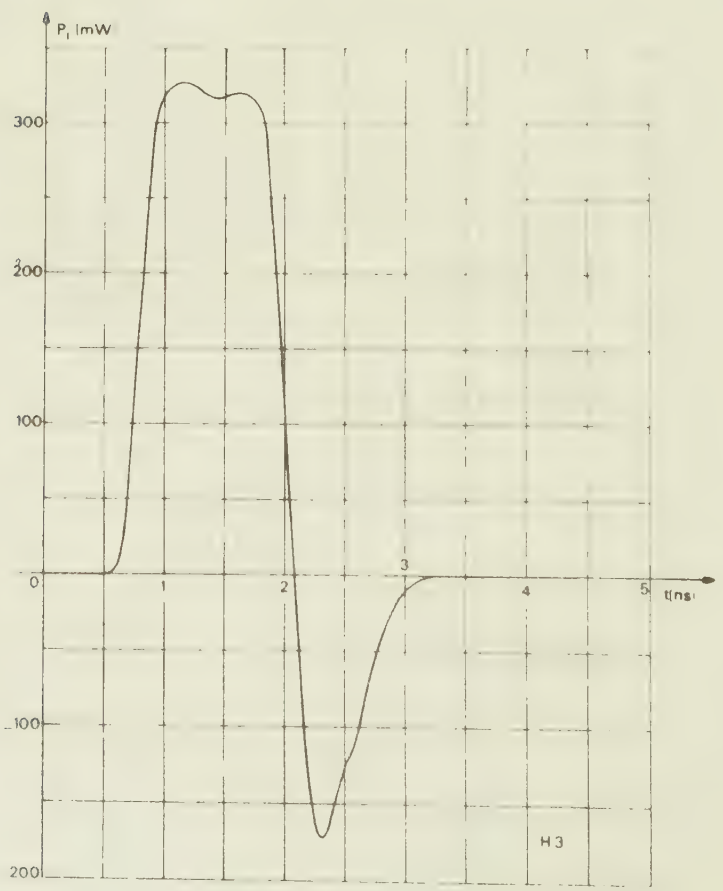

P_i [mW]
300
200
100
0
-100
-200
1
2
3
4
5
t[ns]
H3

Fig. II -32

L'observation des courbes H_1 montre que pour une impulsion de 15 ns de largeur l'amplitude critique de la tension est de 220 mV et que le courant extrait au circuit aval atteint 5 mA.

On notera sur la courbe représentative du courant une croissance exponentielle pendant le palier de l'impulsion ce qui traduit le caractère inductif du circuit dans ces conditions.

Sur les courbes H3 par contre on observe un comportement capacitif du circuit. L'amplitude de la tension v est alors telle que le courant de base de T2 s'inverse et que le potentiel sur la base de P_2 diminue entraînant un appel de courant sur le circuit d'alimentation par l'intermédiaire de la capacité parasite de la résistance de base de P_2 (15). Enfin il faut noter que la jonction base collecteur de T_1 devient passante entraînant un appel de courant à partir de P_1.

Nous avons présenté les courbes H_2 car elles correspondent à un comportement intermédiaire du circuit pour des impulsions de 400 mV d'amplitude et un courant appelé de 8 mA.

Sur ces mêmes graphiques nous avons tracé la courbe qui représente la variation de la puissance instantanée P_i en fonction du temps. C'est par intégration graphique de cette courbe que l'on détermine l'énergie parasite W_p. Il faut noter que chaque fois que le circuit comporte des éléments réactifs, une partie de l'énergie fournie est ensuite restituée ce qui se traduit par le fait qu'une partie de la courbe $P_i(t)$ est au dessous de l'axe horizontal. Lors de la détermination de l'énergie parasite par intégration de $P_i(t)$ on ne considéra que la première partie de l'aire positive sans lui soustraire l'aire négative. En effet notre but est de déterminer l'énergie à fournir au circuit pour l'entraîner à provoquer un changement d'état en bout de chaîne et non de faire un bilan énergétique de la commutation.

Les résultats que nous avons obtenus sont présentés sous la forme de la courbe de la figure II-34 où l'on a porté W_p en fonction de la largeur T de l'impulsion parasite.

On peut noter sur cette courbe deux régions bien distinctes :

- Pour T > 4 ns l'énergie W_p reste constante (13).

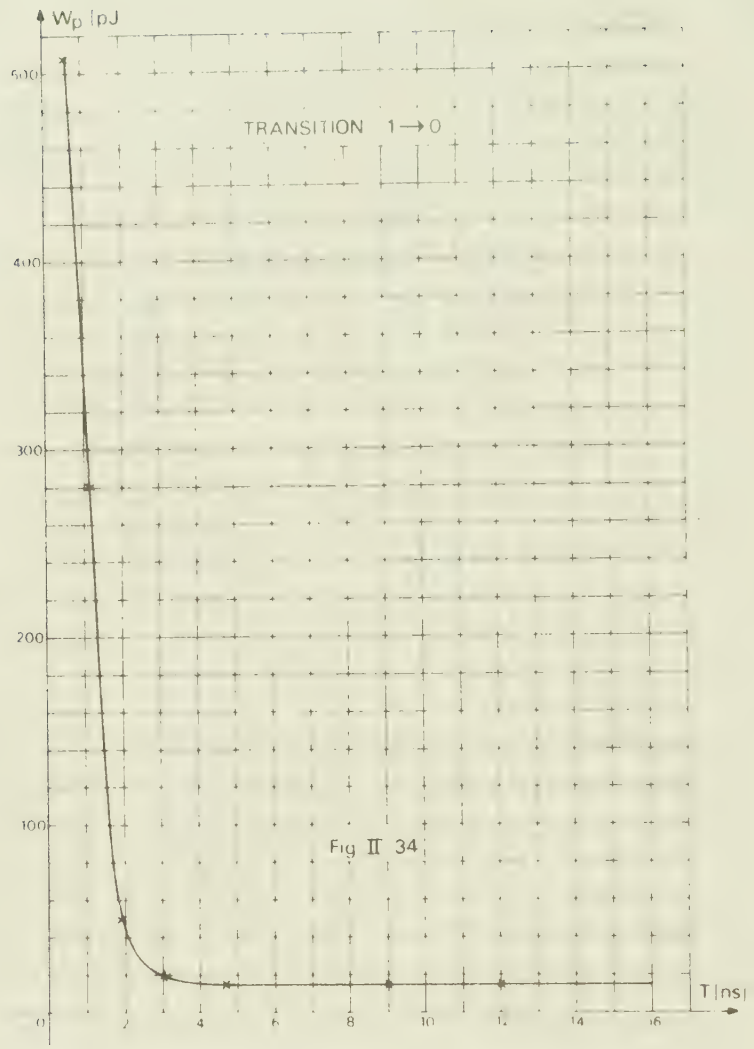


Fig II 34

- Pour T < 4 ns l'énergie W_p augmente et cette augmentation devient particulièrement importante lorsque T devient inférieure à 2 ns. Ceci peut s'expliquer par le fait que l'évacuation de la quantité de charges nécessaire pour que T_2 atteigne le point de transition doit se faire en un temps de plus en plus court ; le courant I_{B2} est donc d'autant plus grand ce qui entraîne un accroissement du courant i. Le terme résistif de l'impédance d'entrée du dipôle est la cause d'une perte d'énergie, proportionnelle à i^2, qui peut devenir alors la part prépondérante de W_p.

L'existence de ce terme résistif est aussi, de par la chute de tension à ses bornes, cause d'un important accroissement de l'amplitude de la tension v si bien que la tension à l'entrée du dipôle peut s'inverser. La jonction base collecteur de T_1 peut alors devenir passante, le courant qui la traverse étant une partie de i, l'énergie correspondante est une cause supplémentaire d'augmentation de W_p.

II -3-4-5 Détermination de la sensibilité au bruit au niveau bas.

Comme pour le niveau haut nous présentons trois séries de courbes B_1, B_2 et B_3 parmi celles que nous avons relevées (Figures II -36, II -37 et II -38). Sur chacune d'elles on a reporté $v = v_{s1}$, v_{s2}, i et P_i.

Le schéma électrique du circuit testé dans ces conditions est représenté à la figure II -35.

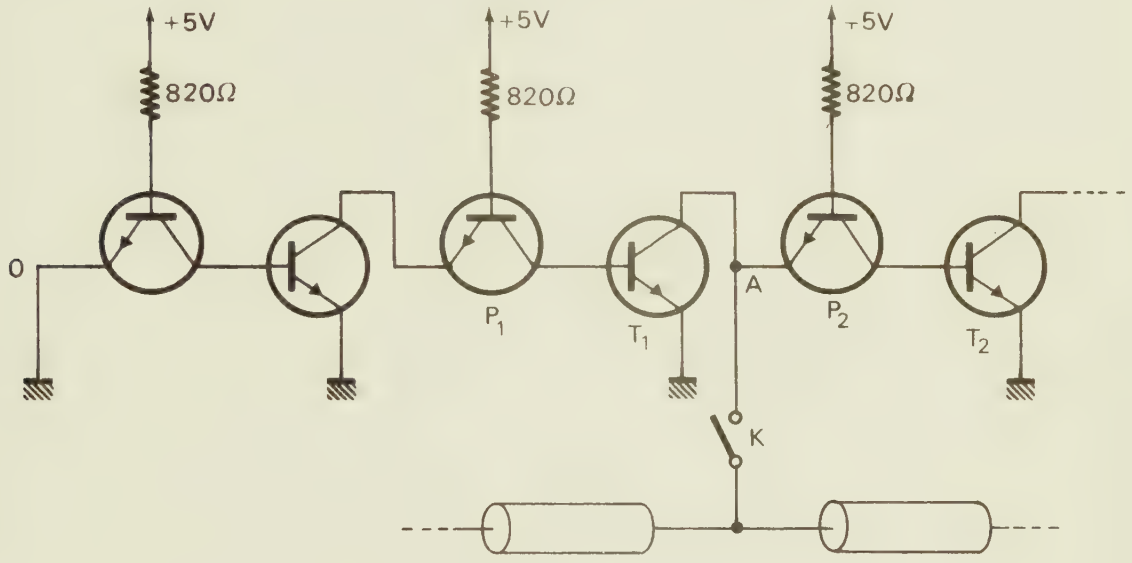


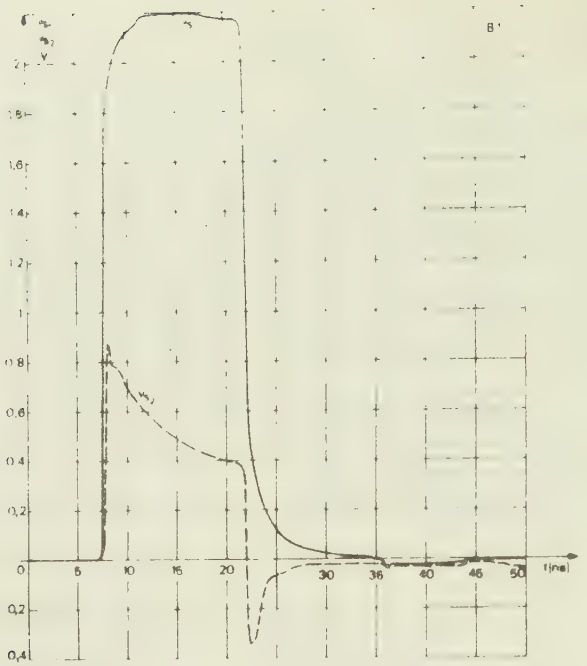
Fig. II .35

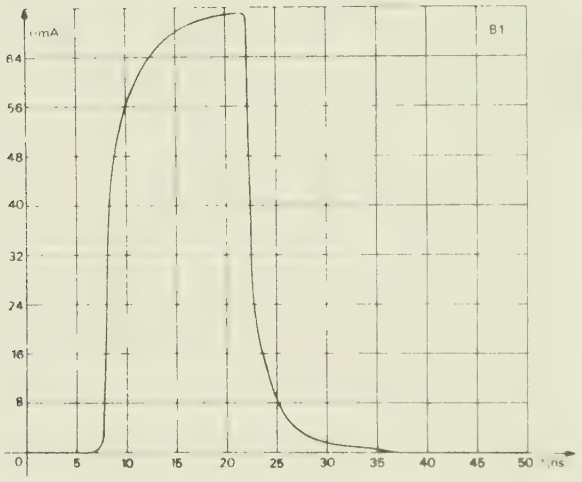
Dans cet état le transistor T_1 est saturé avec un gain forcé unité, la tension continue en A est de l'ordre de 200 mV. L'impulsion parasite positive doit amener T_2 au seuil de conduction malgré la faible impédance de sortie de T_1.

L'observation des courbes B_1 montre que pour des impulsions de 15 ns de largeur le circuit présente un caractère inductif bien marqué, la constante de temps peut être évaluée à 1,6 ns, la résistance mesurée est de 6Ω et l'inductance est de 50 nH. La valeur de la résistance correspond bien à R_{CEsat} d'un transistor inverseur et celle de l'inductance à l'inductance des connexions de ce circuit réalisé en composants discrets.

Pour tous les relevés faits pour des largeurs d'impulsion comprises entre 15 ns (B_1) et 3,5 ns (B_2) on retrouve rigoureusement le même comportement du circuit (6Ω, 50 nH). On notera que quelle que soit la largeur de l'impulsion dans ces limites l'amplitude critique reste constante et égale à 900 mV.

Pour des faibles largeurs d'impulsions (1,3 ns) on constate sur les courbes B_3 que l'amplitude critique de l'impulsion dépasse 5V et que le courant fourni atteint 150 mA.





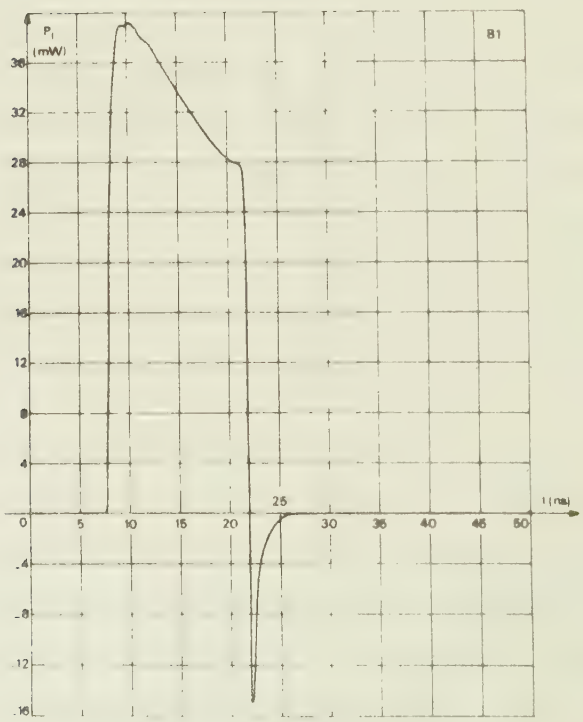
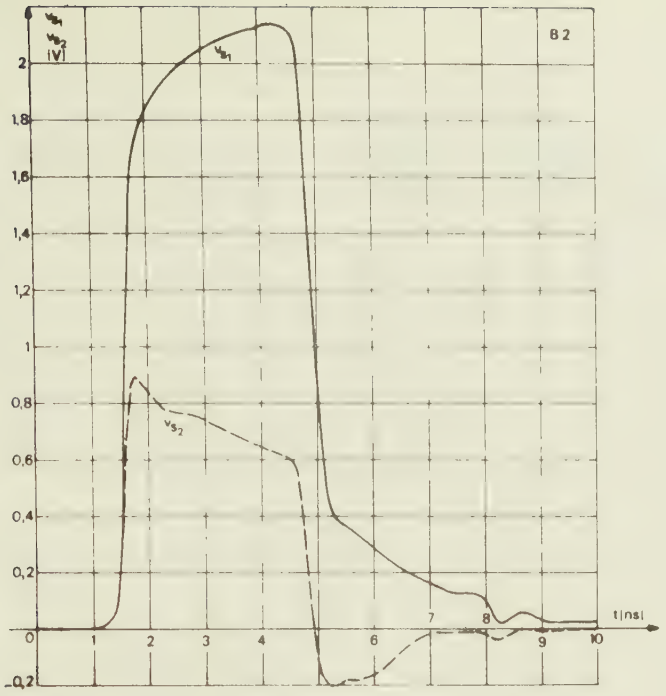
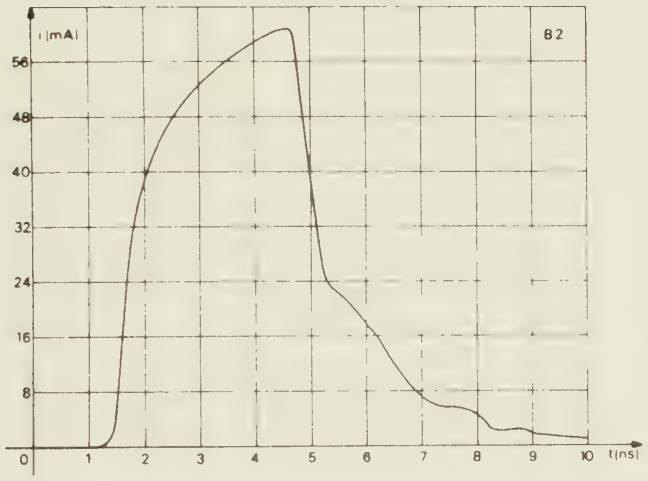


Fig.II _36





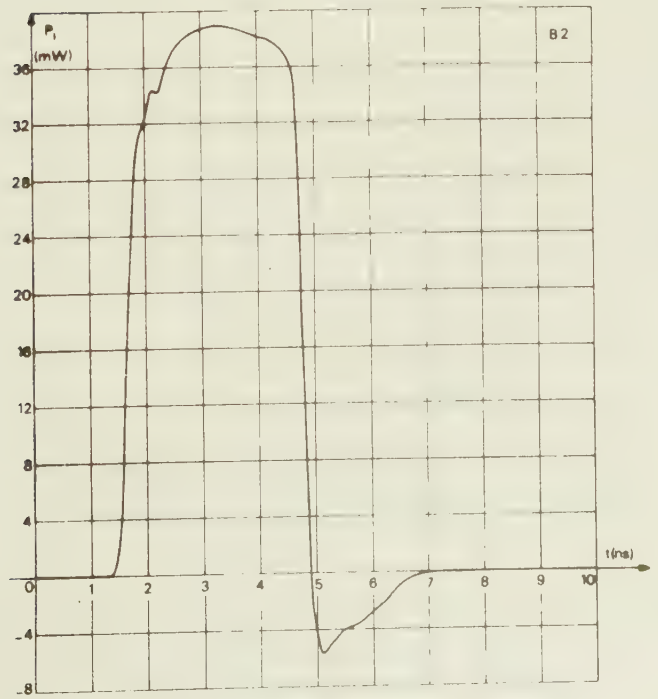
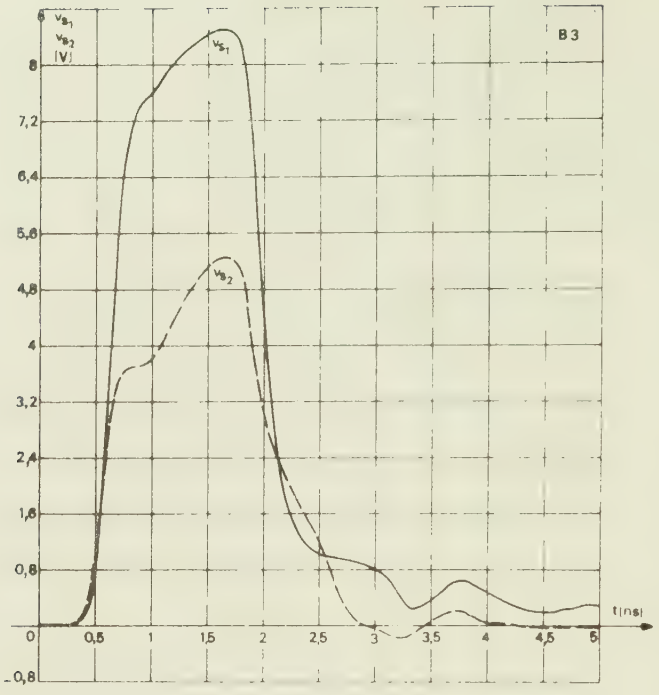
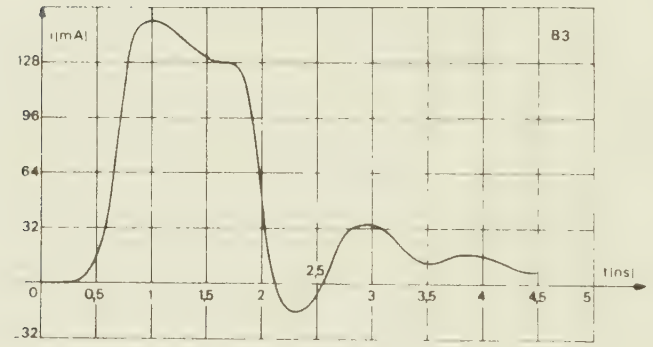


Fig. II.37


B3
v_{s_1}
v_{s_2}
(V)
8
7,2
6,4
5,6
4,8
4
3,2
2,4
1,6
0,8
-0,8
0
0,5
1
1,5
2
2,5
3
3,5
4
4,5
5
t(ns)


B3
i(mA)
128
96
64
32
-32
0
0,5
1
1,5
2
2,5
3
3,5
4
4,5
5
t(ns)

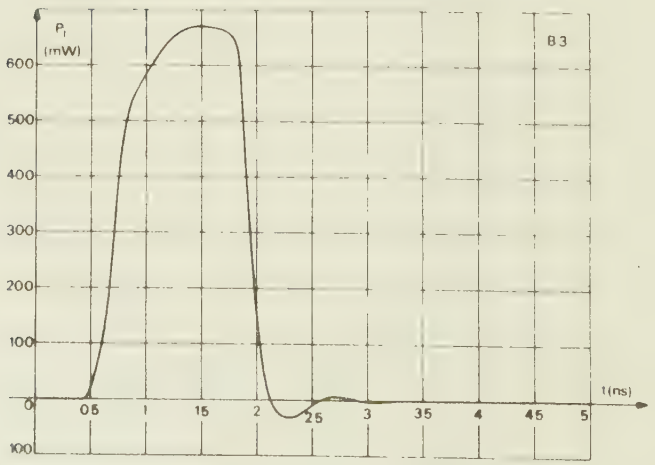

B3
P_i
(mW)
600
500
400
300
200
100
0
100
0.5
1
1.5
2
2.5
3
3.5
4
4.5
5
t(ns)

Fig II-38

Les résultats que nous avons obtenus sont présentés sous la forme de la courbe de la figure II -39 où l'on a porté W_p en fonction de la largeur T de l'impulsion parasite.

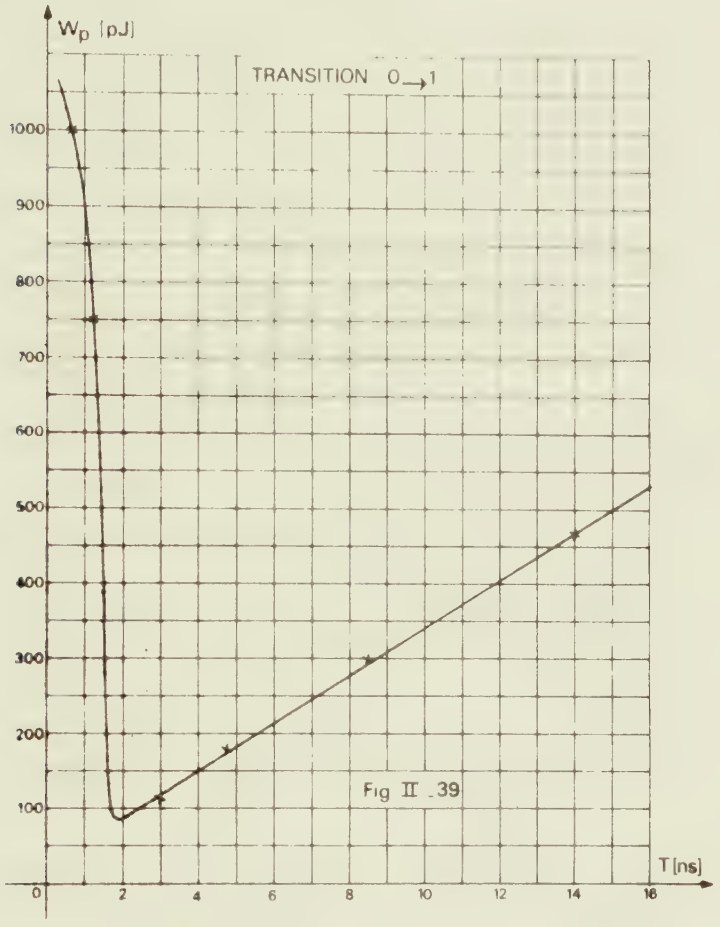


Fig II -39

Comme pour le niveau haut on peut distinguer deux régions sur cette courbe :

- Pour T > 2 ns l'énergie W_p croît linéairement avec T. la valeur de W_p est sensiblement plus importante qu'au niveau haut, ceci est dû au fait qu'il faut créer la variation de tension à l'entrée du dipôle aux bornes d'une très faible impédance due essentiellement à la sortie de l'inverseur amont. Ceci explique d'ailleurs la variation linéaire de W_p avec T.

- Pour T < 2 ns W_p croît considérablement. On retrouve un phénomène semblable à celui que l'on a observé au niveau haut mais avec un accroissement de W_p encore plus accentué. Ceci est dû au fonctionnement asymétrique du transistor de porte P_2 qui fonctionne dans ce cas en inverse.

On remarquera que lorsque l'impulsion parasite devient très importante l'inverseur T_1 peut se désaturer.

II-3-5 CONCLUSION

Le principal objet de ce chapitre réside en l'apport d'un complément aux méthodes usuelles de détermination des sensibilités des circuits logiques au bruit dynamique.

En choisissant de caractériser le parasite par son énergie W_p nous proposons une méthode qui permet de s'affranchir des caractéristiques des sources de bruit. La mesure de W_p s'est avérée délicate mais le montage que nous avons élaboré en permet la détermination précise à partir des résultats de deux séries de mesures de tension.

Le module T T L bas niveau apparaît plus sensible aux parasites négatifs qu'aux positifs quelle que soit la méthode choisie.

En ce qui concerne l'évaluation de l'énergie perturbatrice on observe une valeur minimale de W_p pour une valeur de la durée T de l'impulsion parasite voisine du temps de traversée θ du module.

Si pour le niveau haut ce minimum reste constant lorsqu'on fait croître T on observe par contre que pour le niveau bas W_p croît avec $T > \theta$. En fait, dans ce cas, à la notion d'énergie minimale on doit ajouter la notion de débit énergétique minimal qui traduit la consommation de la sortie de l'étage amont qui shunte l'entrée du module soumis au parasite.

Ainsi pour le module T T L bas niveau le débit minimal peut être évalué à 30 pJ/ns et l'énergie minimale à fournir au circuit aval à 25 pJ , mesurée à l'intersection du prolongement de la partie linéaire de la courbe avec l'axe des ordonnées.

Ces résultats sont à considérer compte tenu de la largeur des impulsions parasites engendrées par le circuit lui-même qui constituent donc la majeure partie du bruit interne.

On a montré à la figure II -23 que cette largeur est de l'ordre de 2,5 ns ce qui correspond pour le niveau haut à W_p = 25 pJ et pour le niveau bas à W_p = 100/pJ .

ANNEXE A LA DEUXIEME PARTIE

A-II -1 CALCUL DES VALEURS EXTREMALES DES COURANTS

A-II -1-1 Calcul de $\overline{I}$ et $\underline{I}$

$\overline{I}$ intervient dans le calcul de $\overline{I_C}$, on doit donc le calculer dans le circuit branché en aval du module étudié (Figure A-II -1-a)

$$\overline{I} = \frac{\overline{V_A} - (V_{BEon} + V_{CEsat})}{\underline{R}} \qquad \text{II -7}$$

$\underline{I}$ intervient dans le calcul de $\underline{I_B}$, on doit donc le calculer dans le circuit branché en amont du module étudié (Figure A-II -1-b).

$$\underline{I} = \frac{\underline{V_A} - (\overline{V_{BEon}} + \overline{V_{BCon}})}{\overline{R}}$$

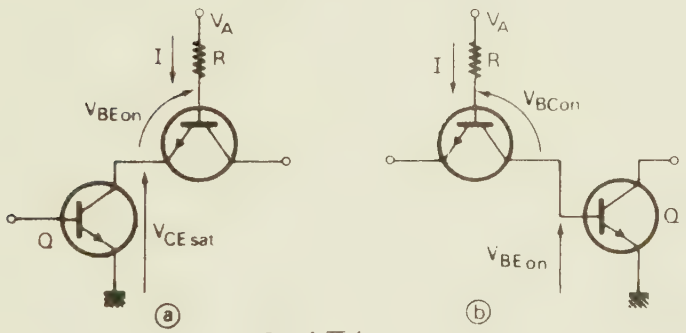


Fig A II.1

Remarque : Lorsque la diode base émetteur et la diode base collecteur d'un transistor sont parcourues par un même courant J on peut écrire :

$$V_{BEon} - V_{BCon} = U_T \text{ Log } \frac{\alpha_n}{\alpha_i}$$

Cette expression est toujours positive. Dans le cas le plus défavorable d'un transistor symétrique on a $V_{BEon} = V_{BCon}$. On peut mettre à la limite l'expression de $\underline{I}$ sous la forme :

$$\underline{I} = \frac{\underline{V_A} - 2\,\overline{V_{BEon}}}{\overline{R}} \qquad \text{II -8}$$

A-II -1-2 Calcul de I_{Eji}

On a montré que P_{ji} fonctionne en inverse et n'est pas saturé, on peut donc écrire :

$$I_{Eji} = i\beta \; I_{Bji}$$

où β_{ip} est le gain en courant du transistor P_{ji} polarisé en inverse.

Soit I' le courant à répartir entre les bases des (e-1) transistors de porte de P_{2i} à P_{ei} et (I-I') le courant de base de P_{1i} (Figure A II-2-a). Si les transistors de porte sont identiques le courant I' se partage également entre les bases des (e-1) transistors ; la somme des courants appelés par les émetteurs est égale à :

$$(e-1)\; I_{Eji} = (e-1)\;\beta_{ip}\;\frac{I'}{e-1} = \beta_{ip}\; I'$$

on est donc dans une situation identique à celle obtenue avec une porte à deux transistors P_{1i} et P_{2i} (Figure A II-2-b).

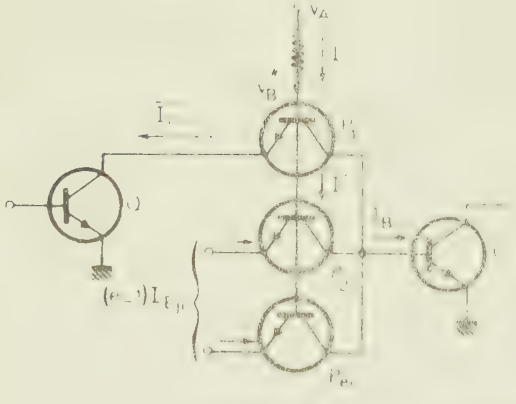


Fig A II 2a

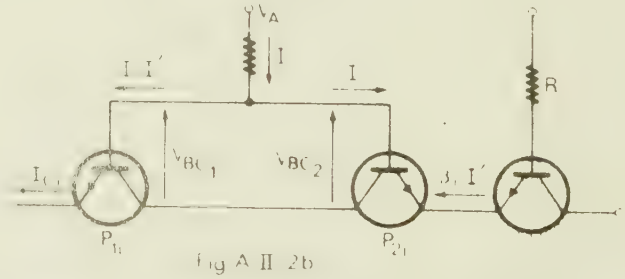


Fig A II 2b

On montre en annexe A-II -2 que $I' = \frac{I}{2}$, on a alors :

$$I_{Eji} \quad \frac{\beta_{ip}}{(e-1)} \quad \frac{I}{2} \qquad \text{III-9}$$

A-II -1-3 Calcul de $\overline{I}'_{Ei}$

On a montré que P'_i fonctionne en inverse et n'est pas saturé, on peut donc écrire :

$$I'_{Ei} = \beta_{ip} \quad I'_{Bi}$$

où I'_{Bi} est le courant de base de P'i.

La porte branchée en amont du module étudié est composée du transistor inverseur Q" et de (k + ℓ) transistors de porte du type P'_i. Dans le cas le plus général parmi ces (k + ℓ) transistors, ℓ ont leur émetteur au niveau logique 1 et k ont leur émetteur au niveau logique 0. (Figure II -3-a).

Pour alimenter les bases de ℓ transistors on dispose du courant I'. Pour alimenter les bases des k transistors on dispose du courant I-I'.

On montre en annexe A-II -2 que le courant de base d'un transistor de type P'_i est dans tous les cas égal à $\frac{I}{k + \ell}$

Il est donc évident que le cas le plus défavorable pour I'_{Ei} est k = 1 et ℓ = 1 (Figure A-II -3-b).

d'où :

$$\overline{I}'_{Ei} = \overline{\beta}_{ip} \quad \frac{\overline{I}}{?} \qquad \text{III-10}$$

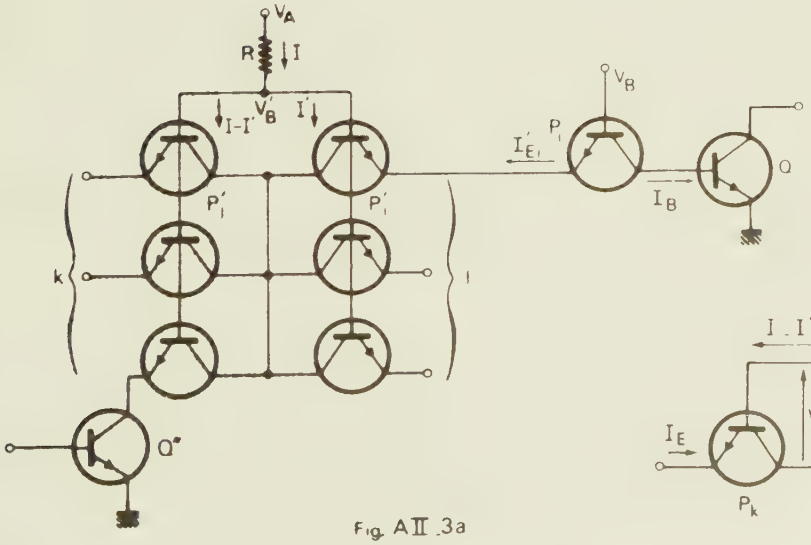


Fig. AII.3a

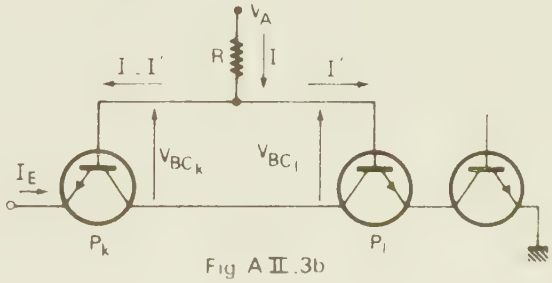


Fig AII.3b

A-II -1-4 Calcul de I''_C

I''_C est le courant de collecteur du transistor Q" dont le blocage est assuré par la saturation du transistor inverseur précédent.

Les courants indiqués à la figure A-II -4 correspondant aux cas les plus défavorables justifiés précédemment.

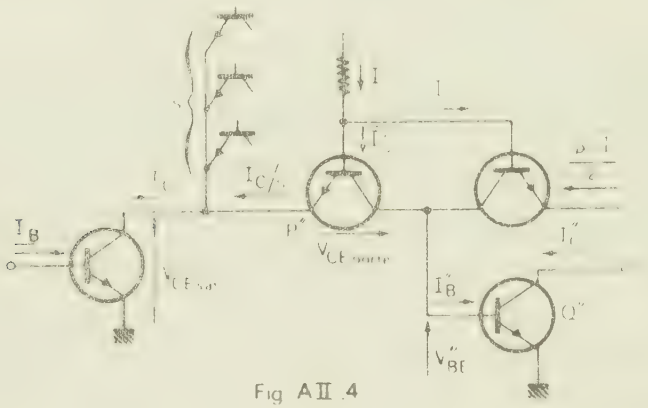


Fig AII 4

On exprime la tension de base du transistor Q" :

$$V''_{BE} = V_{CEsat} + V_{CEporte}$$

Q" n'étant pas saturé on peut écrire :

$$V''_{BE} = U_T \text{ Log } \frac{1}{I_{Eo}} \quad I''_C\left(\frac{1}{\beta''_n} + 1 - \alpha''_i\right)$$

où β''_n est le gain en courant du transistor inverseur Q" aux faibles injections et α''_i son gain en courant en inverse défini selon Ebers et Moll.

- Calcul de V_{CEsat} :

V_{CEsat} est la tension de saturation d'un transistor inverseur du type Q qui est la limite de la saturation, donc pour lequel :

$$\underline{I_C} < \beta_n \underline{I_B}$$

On remarque que le gain forcé β_f de ce transistor doit rester inférieur à β_n. La relation précédente peut donc s'écrire :

$$\underline{I_C} < \beta_f \underline{I}$$

En négligeant I_{Eo} et I_{Co} devant I_E et I_C il vient :

$$V_{CEsat} \simeq U_T \text{ Log } \frac{\alpha_n}{\alpha_i} \frac{I_B + (1 - \alpha_i)\ \beta_f\ I_B}{\alpha_n\ I_B - (1 - \alpha_n)\ \beta_f\ I_B}$$

soit :

$$V_{CEsat} \simeq U_T \text{ Log } \frac{1/\alpha_i + \beta_f/\alpha_i}{1 - \beta_f/\beta_n}$$

- Calcul de $V_{CEporte}$:

$V_{CEporte}$ est la tension de saturation d'un transistor de type P", toujours saturé. En supposant identiques les transistors d'une même porte on peut écrire :

$$V_{CEporte} = U_T \text{ Log } \frac{\alpha_{np}}{\alpha_{ip}} \left| \frac{\frac{I_C}{s} - \alpha_{ip} (\beta_{ip} + 1) \frac{I}{2} - I"_B}{\alpha_{np} \frac{I_C}{s} - (\beta_{ip} + 1) \frac{I}{2} + I"_B} \right|$$

avec $I_C = s (1 + \beta_{ip} \frac{I}{2})$ et $\alpha_{np} \simeq 1$

$$V_{CEporte} \simeq U_T \text{ Log } \frac{1}{\alpha_{ip}} \left| \frac{I + \alpha_{ip} I"_B}{\frac{I}{2} + I"_B} \right|$$

Tant que les niveaux logiques ne sont pas perturbés $I"_B << \frac{I}{2}$ il vient :

$$V_{CEporte} \simeq U_T \text{ Log } \frac{2 (\beta_{ip} + 1)}{\beta_{ip}}$$

L'expression de $V"_{BE}$ s'écrit :

$$\frac{1}{I_{Eo}} \quad I"_C \left(\frac{1}{\beta"_n} + 1 - \alpha"_i\right) = \frac{\left(\frac{1}{\alpha_i} + \frac{\beta_f}{\alpha_i}\right) 2(\beta_{ip} + 1)}{\left|1 - \frac{\beta_f}{\beta_n}\right| \left|\beta_{ip}\right|}$$

d'où

$$I"_C = \frac{2 I_{Eo} (\beta_{ip} + 1) \left(\frac{1}{\alpha_i} + \frac{\beta_f}{\beta_i}\right)}{\beta_{ip} \left(\frac{1}{\beta"_n} + 1 - \alpha"_i\right) \left(1 - \frac{\beta f}{\beta_n}\right)} \qquad \text{II -11}$$

A-II -2 ETUDE DU PARTAGE DU COURANT I ENTRE LES BASES DES TRANSISTORS DE PORTE.

Dans le cas le plus général le circuit de porte à deux entrées est parcouru par les courants indiqués à la figure A-II -5.

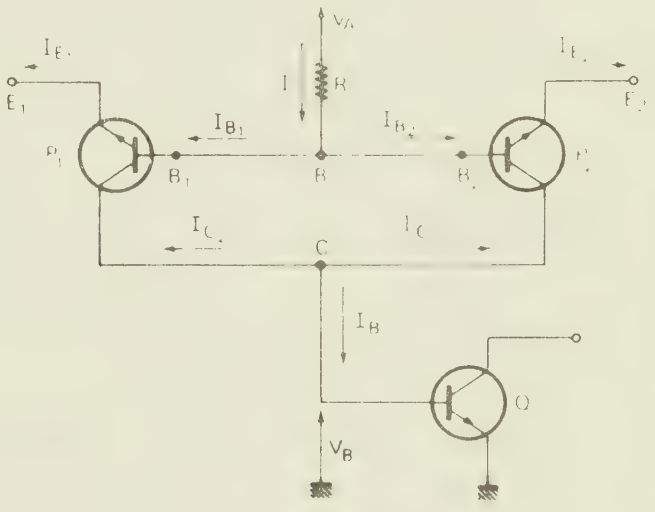


Fig. A II 5

Les relations d'Ebers et Moll permettent d'écrire :

$$V_{B1C} = U_T \text{ Log } \left(\frac{\alpha_{n_1} I_{E1} - I_{C1}}{I_{Co1}} + 1\right)$$

$$V_{B2C} = U_T \text{ Log } \left(\frac{\alpha_{n_2} I_{E2} - I_{C2}}{I_{Co2}} + 1\right)$$

or

$$V_{B1C} = V_{B2C} = V_{BC}$$

donc

$$U_T \text{ Log } \left(\frac{(\alpha_{n1} - 1)(I_{E1} - I_{B1}) + \alpha_{n1} I_{B1}}{I_{Co1}} + 1\right) =$$

$$U_T \text{ Log } \frac{(\alpha_{n2} - 1)(I_{E2} - I_{B2}) + \alpha_{n2} I_{B2}}{I_{Co2}} + 1)$$

De cette expression il vient :

$$(\alpha_{n1} - 1)\ I_{E1} + I_{B1} = (\alpha_{n2} - 1)\ I_{E2} + I_{B2}$$

Les termes I_{E1} et I_{E2} sont au plus égaux à I lorsque les transistors fonctionnent en sens normal et à α_{ip} I lorsqu'ils fonctionnent en sens inverse et dans le cas extrême.

On en conclut que $I_{B1} \simeq I_{B2}$

Remarque : Si l'on ne néglige pas les résistances réparties de base, celles-ci peuvent introduire une dissymétrie. Mais compte tenu de leurs valeurs relatives (A-I-2-3) l'égalité du partage du courant entre les bases est vérifiée à mieux de 10 % près.

A-II -3 SENSIBILITE D'UN MODULE LOGIQUE A L'ENERGIE APPORTEE PAR UN SIGNAL PARASITE : MESURE DES GRANDEURS ELECTRIQUES.

Le problème posé est multiple.

D'une part le circuit de mesure ne doit pas perturber l'état existant au point de branchement. D'autre part on doit mesurer simultanément la tension v et le courant i à l'entrée du dipôle constitué par la sortie du circuit en amont du point de test A et l'entrée du circuit en aval. On retrouve donc le classique choix entre le branchement de l'appareil de mesure de la tension en amont ou en aval de l'appareil de mesure du courant. Enfin les appareils de mesure, qui aux fréquences de travail sont les sondes d'oscilloscopes à échantillonnage, présentent une impédance complexe non négligeable.

A-II -3-1 Recherche d'un circuit de mesure qui ne perturbe pas l'état de la chaine.

Le montage le plus simple et qui n'apporte pas de restrictions aux conditions de mesure consiste à attaquer le circuit par un générateur de courant i. Malheureusement un tel générateur fonctionnant avec la rapidité nécessaire s'avère pratiquement impossible à réaliser [14]. On approche cependant cette solution en utilisant un générateur de tension dont on augmente la résistance interne par une résistance additionnelle extérieure R. Le schéma d'un tel montage est représenté à la figure A-II -6.

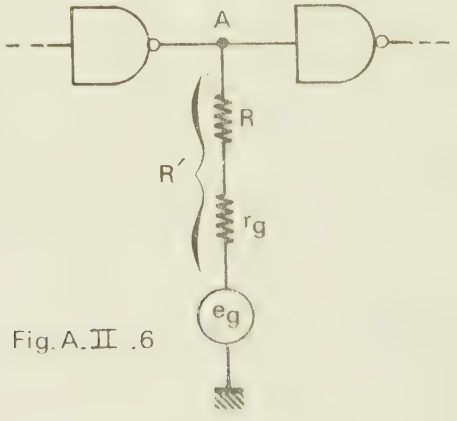


Fig. A.II .6

Pour le circuit T T L bas niveau on évalue la valeur minimale de R' à 1 kΩ. r_g est usuellement de 50Ω , la résistance R est donc de l'ordre de 1 kΩ , valeur pratiquement impossible à réaliser.

En effet la résistance R doit avoir une excellente réponse en régime impulsionnel, or les résistances comportent toujours des éléments parasites que l'on peut représenter en première approximation par une inductance série et une capacité parallèle. On conçoit alors que les résistances de faible valeur aient un comportement plutôt selfique et les résistances de fortes valeurs un comportement plutôt capacitif.

Une étude expérimentale (15;16)a permis de mettre en évidence le bon comportement en régime impulsionnel de résistances à couche de carbone telles que les résistances Allen-Bradley de un quart de watt pour lesquelles la valeur ohmique d'une centaine d'ohm correspond à une compensation des effets selfique et capacitif (régime critique).

Le choix de la résistance R résulte donc d'un compromis pratiquement irréalisable, c'est pourquoi nous avons été conduits à modifier le montage en introduisant une liaison capacitive entre le générateur de bruit et le circuit. Ceci est possible grâce à l'emploi de condensateurs coaxiaux de capacité suffisante pour transmettre sans déformation les impulsions de bruit simulé. Cette solution impose de travailler à une faible fréquence de récurrence de façon à respecter le temps de recouvrement des capacités de liaison, ce qui n'apporte pas de restrictions si l'on fait les mesures à l'oscilloscope à échantillonnage. Le schéma du montage est représenté à la figure A- II-7.

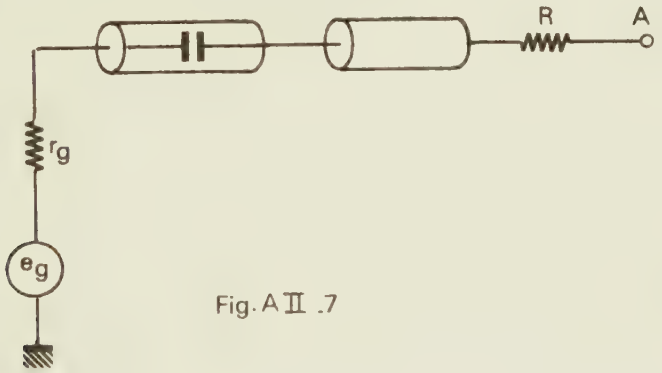


Fig. A II .7

Les limitations d'ordre statique sont ainsi éliminées ce qui permet de prendre pour R' des valeurs faibles voire même à la limite $R' = r_g = 50\Omega$. Mais alors on peut reprocher au montage de ne pas respecter les conclusions de l'étude dynamique de l'inverseur faite en I-1 où l'on a montré que le temps de traversée de couche est affecté dès que R' devient inférieure à 1 kΩ. Il faut remarquer que ceci n'est vrai que lorsque l'information vient du circuit amont, cas où R' absorbe une partie de l'énergie destinée au circuit testé. Dans le cas présent où R' est la résistance interne du circuit qui fournit l'énergie cette objection n'est pas à prendre en considération.

A-II -3-2 Mesure des grandeurs électriques

Les sondes en courant dont nous disposons ne sont pas suffisamment rapidespour explorer le domaine des temps de commutation du circuit T T L bas niveau. Nous déterminerons donc les valeurs du courant i à partir de la mesure de la chute de tension v_R qu'il produit dans une résistance R placée en série avec le générateur e_g.

$$i = \frac{v_R}{R} = \frac{e_g - v}{R}$$

Si la mesure de e_g est facile, la mesure de v est par contre délicate. En effet l'utilisation d'une sonde de tension directement sur l'entrée du dipôle entrainerait une dérivation non négligeable du courant. La capacité d'une telle sonde compte tenu de son support est de 3 pF. On doit donc écarter la mesure directe de v et envisager une mesure indirecte.

La détermination de v et de i nécessite alors deux séries de mesures de la tension en amont de R, l'une avec le dipôle et l'autre en remplaçant le dipôle soit par un court circuit soit par un circuit ouvert.

A-II -3-2-1 Mesure des tensions sur le montage

Pendant la première série de mesures le schéma du montage est celui qui est représenté à la figure A-II -8 où D représente le dipôle récepteur de l'énergie.

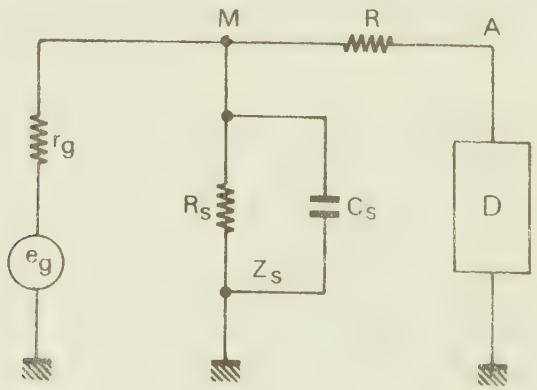


Fig. A.II .8

L'impédance z_s est celle d'une sonde et peut être assimilée à celle d'un circuit parallèle R_s, C_s. La capacité C_s introduit une intégration du signal d'autant moins négligeable que celui-ci est rapide. Cette déformation ne présenterait pas d'inconvénient pour l'exploitation des résultats selon un procédé comparatif à condition qu'elle soit la même dans les deux cas de mesure, donc à condition que R soit grande devant $\frac{r_g \, R_s}{r_g + R_s}$.

Ceci conduit à envisager pour R des valeurs de l'ordre de 500 Ω et on retrouve les mêmes difficultés que celles que nous avons signalées au paragraphe précédent avec une contrainte supplémentaire due à la nécessité de précision des mesures. En effet les grandeurs recherchées sont déduites de la différence des tensions que l'on observe avec et sans le dipôle. Si R est très grande l'effet du branchement du dipôle devient négligeable et la différence entre les deux valeurs mesurées est très petite devant chacune d'elles il s'ensuit une imprécision considérable. Pour ces raisons le circuit de mesure de la figure A-II -8 doit être abandonné lorsqu'on veut étudier des circuits à grande vitesse de commutation.

Une solution consiste à envoyer directement l'information sur l'oscilloscope avec une liaison capacitive et par l'intermédiaire d'un câble coaxial adapté à l'entrée de l'appareil, donc dans le cas présent de résistance caractéristique $R_c = 50\Omega$ (Figure A-II -9).

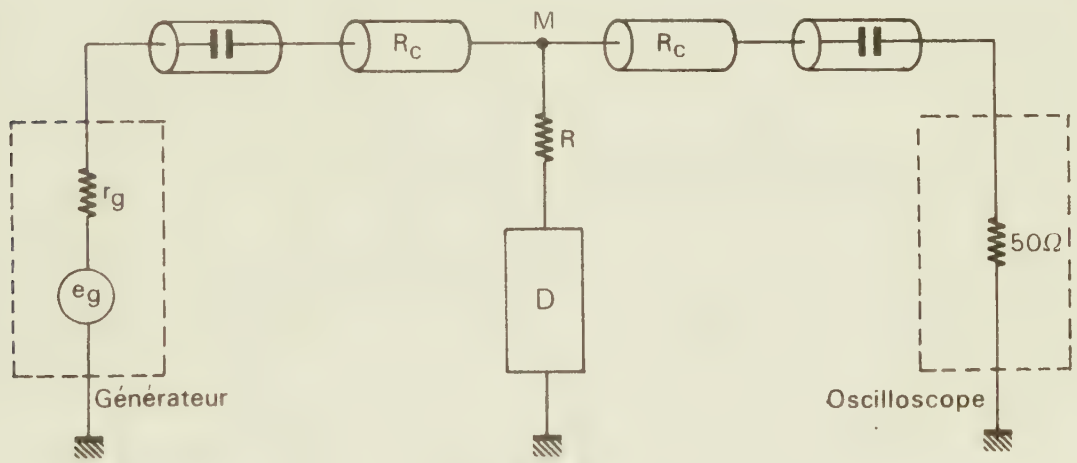


Fig. A II-9

Comme l'impulsion fournie par le générateur est également transmise par un câble de résistance caractéristique $R_c = 50\Omega$ on constate que le montage de mesure est en fait constitué d'une ligne de transmission de résistance caractéristique $R_c = 50\Omega$ reliant le générateur à l'oscilloscope et sur laquelle on fait une prise en M où l'on branche le dipôle D en plaçant une résistance R en série.

Le branchement du circuit en M crée une désadaptation sur la ligne mais les réflexions qui en résultent ne gènent pas l'observation des signaux à condition que l'on prenne une longueur de câble suffisante entre le générateur et le montage.

A-II -3-2-2 Premier processus de mesure : mise en court circuit de l'entrée du dipôle.

On se propose de déduire v et i de deux mesures de tension en M ; l'une avec le dipôle normalement branché (k ouvert) l'autre avec un court-circuit en A (k fermé) (Figure A-II -10).

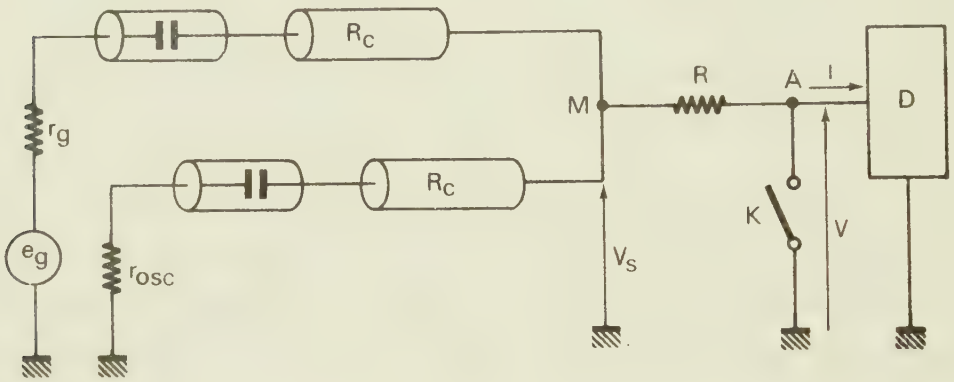


Fig. A-II -10

Le générateur équivalent à l'ensemble générateur et oscilloscope au point M présente une résistance interne $R_g = R_c/2 = 25\Omega$ et une force électromotrice à vide $E_g = e_g/2$.

Lorsque K est ouvert on peut écrire v_s sous la forme :

$$v_{s1} = \frac{E_g R + v R_g}{R + R_g}$$

Lorsque K est fermé on peut écrire v_s sous la forme :

$$v_{s2} = E_g \frac{R}{R + R_g}$$

De ces expressions on tire :

$$v = \frac{(v_{s1} - v_{s2})(R + R_g)}{R_g}$$

et

$$i = \frac{v_{s1} - v}{R}$$

soit :

$$i = \frac{v_{s2}}{R} + \frac{v_{s2} - v_{s1}}{R_g}$$

On dispose donc des expressions de v et de i en fonction des résultats de deux mesures, de R_g et de R; R_g étant imposée par la valeur de la résistance d'entrée de l'oscilloscope, R reste le seul élément dont on ait le choix, il est important de rechercher sa valeur optimale dans le but d'améliorer la précision des résultats.

Les erreurs sur v et sur i proviennent essentiellement de la mesure de v_{s1} et de v_{s2} dont l'imprécision est due à l'oscilloscope et à la table traçante qui lui est associée. Les incertitudes sur R et R_g entrainent également une incertitude sur v et i mais sous la forme d'une erreur systématique de faible valeur car les composants sont les mêmes pour toutes les mesures.

La grandeur qui nous intéresse est l'énergie fournie au circuit, nous la calculerons à partir de la puissance instantanée P_i dont l'expression peut s'écrire :

$$P_i = v\ i = (v_{s1} - v_{s2}) \frac{R + R_g}{R R_g^2} \{(R + R_g)\ V_{s2} - R\ V_{s1}\}$$

En introduisant les erreurs de mesure, l'erreur relative sur P_i s'exprime :

$$\frac{\Delta P_i}{P_i} = \left(\frac{\Delta V_{s1}}{V_{s1}} + \frac{\Delta V_{s2}}{V_{s2}}\right) \frac{R'_g\ V_{s1}\ V_{s2}}{(V_{s1} - V_{s2})\ ((R + R'_g)\ V_{s2} - R V_{s1})}$$

Si l'on suppose que l'oscilloscope a une sensibilité suffisante pour que l'on puisse négliger l'erreur de lecture, on peut écrire en remplaçant V_{s1} et V_{s2} par leur expression en fonction de v et i :

$$\frac{\Delta P_i}{P_i} = \left(\frac{\Delta V_{s1}}{V_{s1}} + \frac{\Delta V_{s2}}{V_{s2}}\right) \frac{(v + (R + R'_g)\ i\ )(v + R\ i)}{R'_g\ v\ i}$$

L'erreur sur P_i, due aux mesures, est donc d'autant plus importante que R est grande. On a donc intérêt à prendre R aussi faible que possible mais plus R est faible et plus v_{s2} est faible et on est alors limité par la sensibilité des appareils.

On peut remarquer qu'il est souhaitable de faire les mesures de tension en conservant la même sensibilité des appareils afin d'éliminer un risque d'erreur dû à un éventuel défaut de calibrage.

A-II -3-2-3 Deuxième processus de mesure :
circuit ouvert en A.

On se propose maintenant de déduire v et i de deux mesures de tension en M ; l'une avec le dipôle normalement branché (K fermé) l'autre en ouvrant le circuit en A (K ouvert) (Figure A- II-11).

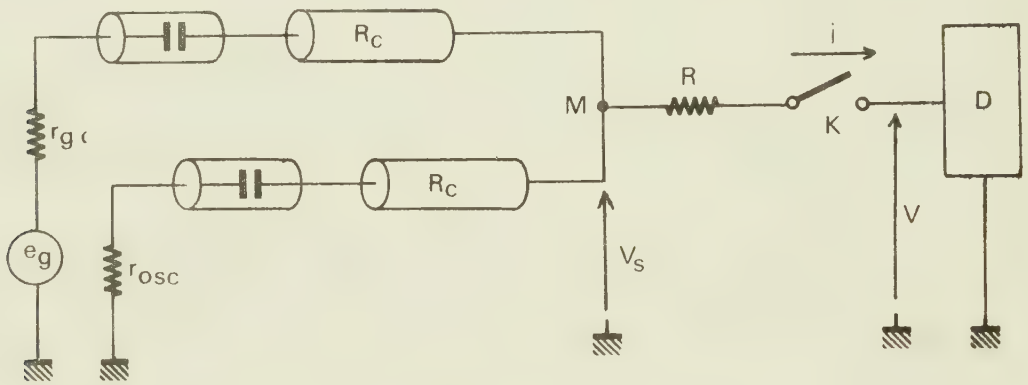


Fig. A. II.11

Selon que K est fermé ou ouvert v_s s'écrit :

$$v_{s1} = \frac{E_g\ R + v\ R_g}{R + R_g} \qquad \text{ou } v_{s2} = e_g$$

De ces expressions on tire :

$$v = v_{s1} + \frac{R}{R_g}(V_{s2} - V_{s1})$$

et

$$i = \frac{v_{s2} - v_{s1}}{R_g}$$

Là encore R étant le seul élément dont on ait le choix, on en recherche la valeur optimale. La puissance instantanée s'exprime :

$$P_i = \frac{v_{s2} - v_{s1}}{R_g^{\,2}} \left\{ (R + R_g)\ v_{s1} - R\ v_{s2} \right\}$$

d'où l'erreur relative sur P_i due aux mesures :

$$\frac{\Delta P_i}{P_i} = \left(\frac{\Delta v_{s1}}{v_{s2}} + \frac{\Delta v_{s2}}{v_{s2}}\right) \frac{(v + R_i)\ \left(v + (R + R_g)\ i\right)}{R_g\ v\ i}$$

expression qui est d'autant plus faible que R est faible. Il est donc logique de prendre R = 0 ce qui est ici possible. On obtient alors :

$$\frac{\Delta P_i}{P_i} = \left(\frac{\Delta v_{s1}}{v_{s1}} + \frac{\Delta v_{s2}}{v_{s2}}\right) \frac{v + R_g\ i}{R_g\ i}$$

A-II -3-3 Conclusion

Si l'on compare l'erreur relative sur la puissance instantanée déterminée selon les deux processus de mesures on constate que dans les deux cas la valeur optimale R = 0 conduit à la même expression :

$$\frac{\Delta P_i}{P_i} = \left(\frac{\Delta v_{s1}}{v_{s1}} + \frac{\Delta v_{s2}}{v_{s2}}\right) \frac{v + R_g i}{R_g i}$$

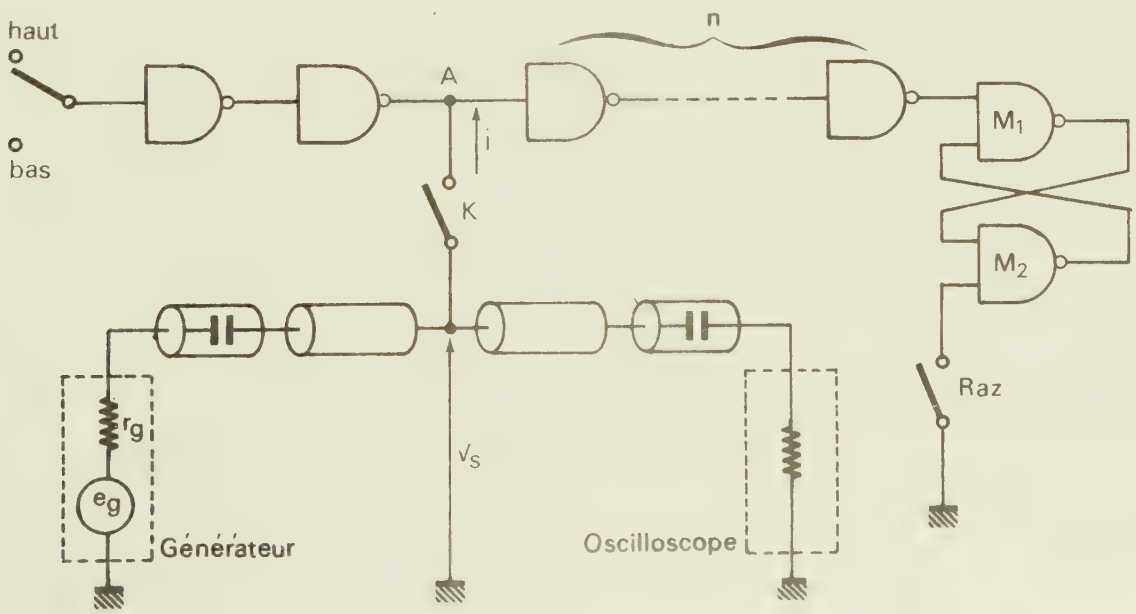
On a montré que la première méthode de mesure ne peut être mise en oeuvre avec R = 0 et que pour de faibles valeurs de R la sensibilité, forcément limitée, de l'appareil de mesure est cause d'erreurs de lecture qui peuvent être prépondérantes.

On retiendra donc la deuxième méthode qui consiste à déterminer v et i par comparaison des mesures faites en présence du dipôle et en circuit ouvert.

Cette méthode présente en outre l'avantage de donner des expressions de v et de i plus simples, ce qui facilite leur détermination à partir des tracés graphiques de v_s. Elle conduit de plus à une mise en oeuvre plus simple du montage.

On remarquera qu'une recherche de la valeur optimale de R_g donc de R_c serait illusoire dans la mesure où l'on est tributaire de la résistance d'entrée de l'oscilloscope qui impose la résistance caractéristique des câbles coaxiaux.

Le montage de mesure retenu est donc celui qui est déduit du schéma de principe de la figure A-II -11.



BIBLIOGRAPHIE DE LA DEUXIEME PARTIE

(1) R. Lyon-Caen
Circuits logiques intégrés
Chapitre IV - Facteurs de charges de sortie et d'entrée
Relations entre facteur de charge de sortie et immunités aux bruits - pp.110 - 111 - Masson

(2) M. Depey
Quelques aspects du fonctionnement des circuits intégrés logiques T. T. L.
L'Onde Electrique n° 494 - mai 1968 - Vol. 48 - pp. 443 - 448

(3) J. P. Vabre - A. Maroille - J. C. Prouin
Assemblages et liaisons des circuits logiques dans les ordinateurs.
Chapitre I - Les hypothèses de sécurité aux bruits des circuits logiques - Définition du packaging.
Masson.

(4) Motorola
Analysis and design of integrated circuits
Chapitre VII.7 - E.C.L. gate modifications pp 195. 198.
Mac Graw-Hill Book Company.

(5) R. Lyon - Caen
Circuits logiques intégrés
Chapitre IV - Annexe A-1 . Sensibilités aux bruits des C.L.I. du point de vue des caractéristiques statiques - pp. 117-120.
Masson

(6) Ph. Roux
Contribution à l'étude de la logique du type T.T.L. bas niveau
Thèse de Doctorat de 3e cycle n° 623 - Bordeaux décembre 1968

(7) J. C. Fernandez
Contribution à l'étude et à la réalisation d'un analyseur différentiel digital de type séquentiel à unité de calcul parallèle - Unité arithmétique - Mémoires.
Thèse de Doctorat de 3e cycle n° 444 - Bordeaux octobre 1966

(8) J. P. Vabre
Electronique des impulsions - tome VI
Lignes couplées en régime transitoire - Fascicule 1 -
Couplages et parasitages entre lignes.

(9) J. P. Vabre
Assemblages et liaisons des circuits logiques dans les ordinateurs
Chapitre IV - Les trois aspects du packaging - pp. 90
Le micropackaging - pp. 95
Masson

(10) S.K. Ghandhi - F.L. Thiel
"Pulse noise immunity in satured logic Gates"
I.E.E.E. Journal of Solid state circuits vol. Sc- 2 n° 3
September 1967 - pp 81 - 86

(11) Ph. Roux - J.L. Aucouturier - J.C. Eyheraguibel
Etude de l'immunité au bruit cohérent des circuits du type T. T. L. bas niveau
Onde Electrique - Vol. 50 - Fasc. 3 - mars 1970 - pp. 213-222

(12) J. P. Vabre - A. Maroille - J.C. Prouin
Assemblages et liaisons des circuits logiques dans les ordinateurs.
Chapitre I les hypothèses de sécurité aux bruits - pp. 22-29
Masson

(13) F. C. Yao
Interconnections and noise immunity of circuitry in digital computers
I. E. E. E. Transactions on electronics computers -
Vol. EC14 - n° 6 - December 1965

(14) F. Torrès
Contribution à l'étude du bruit dans les systèmes logiques : Etude comparative du comportement des diverses technologies
Thèse de Docteur d'Université - n° 82 - novembre 1972

(15) G. Lacroix
Note interne au Laboratoire de Chronométrie du Département Sciences de l'ingénieur de l'Université de Bordeaux 1 - 1970.

(16) M. Taillandy
Etude de circuits passifs au pont d'admittance "General Radio 1602 B"
Diplome d'études supérieures de Sciences Physiques -
Bordeaux 1966.

CONCLUSION

Les études que nous avons faites sur les diverses familles logiques à transistors ont montré que la rapidité a été essentiellement recherchée selon le principe de la commutation de courant, ce qui a conduit au développement des familles E C L, ou selon les procédés antisaturation appliqués à des technologies existantes comme les T T L Schottky par exemple.

Nous avons pensé que la recherche d'une famille logique alliant la sécurité de fonctionnement de la commutation de tension à la rapidité des circuits que nous venons de citer était une voie qui pouvait être suivie avec profit. Nous avons posé comme principe de rechercher un module élémentaire simple, se prêtant donc bien à l'intégration hybride.

Le circuit que nous avons ainsi élaboré à partir d'une étude séparée de l'inverseur et de la porte, et que nous avons appelé T T L à bas niveau en raison de sa faible excursion logique, s'est avéré présenter les qualités nécessaires à un circuit logique, notamment quant à ses possibilités d'interconnexions, sa sécurité de fonctionnement et sa tenue en température.

Nous avons alors jugé intéressant de faire une étude détaillée de sa commutation. A partir d'un modèle dont nous avons mesuré les paramètres et testé la qualité, nous avons mis en équations un anneau astable afin de déterminer le temps de traversée du module élémentaire. Pour résoudre le système ainsi établi nous avons dû faire appel à l'ordinateur qui nous a donné des résultats dont nous avons vérifié la très bonne précision. Cette résolution numérique et l'affinement du modèle ne constituaient cependant pas une fin à notre étude, c'est pourquoi nous avons utilisé les résultats ainsi obtenus pour mettre en évidence les phénomènes physiques mis en jeu à la commutation et permettre de trouver une solution analytique

au calcul du temps de traversée du module. Nous avons ainsi pu montrer l'existence d'un minimum du temps de traversée en fonction du courant commuté et expliquer cet optimum en établissant les relations existant entre le temps de traversée et les paramètres du transistor inverseur, tels que sa résistance de base en cours de blocage et les durées de vie des porteurs minoritaires en fonctionnement direct et inversé.

L'exploitation de ces résultats nous a permis d'établir des critères de choix des composants et de prévoir l'influence sur le temps de traversée, des conditions d'interconnexion et du mode de réalisation.

Cette étude de la commutation à transistors en régime de saturation est très générale, elle a été menée en étroite collaboration avec Jean-Paul DOM qui l'utilise pour ses recherches sur les points mémoires et les circuits de commutation à facteur de mérite optimal.

Après avoir ainsi développé l'étude du régime dynamique du module T T L à bas niveau et apporté les renseignements nécessaires à la connaissance de ses possibilités sur le plan de la vitesse de commutation nous avons abordé l'étude approfondie de sa sécurité de fonctionnement.

Nous avons ainsi envisagé les conditions du fonctionnement dans les pires cas d'interconnexions et de température afin de connaître les facteurs de charge à l'entrée et à la sortie du module. Nous avons défini pour cela les conditions limites, non pas comme les conditions de non fonctionnement, mais comme celles qui entraînent une diminution de moitié des marges de bruit, conservant ainsi au circuit une immunité suffisante. Les calculs que nous avons menés nous ont permis de montrer l'interdépendance du fan in et du fan out et d'établir les relations qui les lient aux paramètres des composants et notamment au gain en courant inversé des transistors de porte et à la température. Ces résultats sont présentés sous formes d'abaques, ce qui en facilite l'exploitation.

Nous avons ensuite étudié le comportement du circuit en présence de parasites lents. Après avoir rappelé les méthodes usuelles de détermination des immunités au bruit, nous avons envisagé la possibilité d'existence simultanée de parasites sur les diverses entrées d'un même module. Nous avons présenté une méthode d'étude de ce type de bruit dit bruit cohérent et montré que la porte T T L a un comportement très proche de celui d'une porte idéale, ce résultat est d'ailleurs généralisable aux portes dont le circuit d'entrée est une jonction. Nous avons ainsi établi les relations existant entre les sensibilités au bruit et les paramètres

des composants et qui conduisent à des résultats qui corroborent ceux déduits de l'étude des facteurs de charge.

Enfin nous avons étudié le comportement du module T T L à bas niveau en présence de parasites de durée comparable à celle de son temps de traversée. Après avoir appliqué au module les méthodes usuelles, nous avons cherché à caractériser le parasite par l'énergie qu'il apporte au circuit. Pour cela nous proposons une méthode de mesure de l'énergie en un point de la chaîne logique. Les résultats obtenus montrent que l'énergie critique présente une valeur minimale pour une durée du signal parasite voisine du temps de traversée du module testé.

Ces méthodes sont elles aussi très générales donc applicables aux diverses familles logiques. Elles apportent de ce fait un complément aux moyens de caractérisation des circuits logiques.

L'élaboration et l'étude du module T T L à bas niveau nous a donc permis de compléter l'éventail des familles logiques par un circuit à la fois rapide, simple et sûr. Cette partie de notre contribution à l'étude de la commutation électronique logique, qui a servi de support à notre travail est spécifique mais elle a conduit au développement de l'analyse de la commutation à transistors en régime de saturation et des méthodes d'étude approfondie de la sécurité de fonctionnement des circuits logiques qui sont,elles, générales et d'une grande utilité pour les recherches en cours dans notre groupe.

Vu et Approuvé
Talence, le

Le Président de l'Université
de BORDEAUX 1